

产品概述

Hi3521AV100 核心板主控采用的是海思 Hi3521AV100，这是一款是针对多路高清复杂图像处理算法的高性能视频/图像处理引擎，提供 HDMI/VGA 高清显示输出能力，同时还集成了丰富的外围接口。该 SOC 芯片为客户产品提供了高性能、优异图像质量的低成本模拟高清/SDI 解决方案，同时可大大降低相关产品 eBOM 成本。



Hi3521AV100 芯片实物图

产品配置

- CPU: ARM Cortex A7@Max.1.1GHz
- RAM: 1GB DDR3
- ROM: 512M NAND FLASH 或 128M NOR FLASH (选配)
- 支持 3 个单向 I2S/PCM 接口
- 支持 1 个千兆以太网接口
- 支持 2 个 SATA3.0 接口
- 支持 2 个 USB 2.0 Host 接口
- 支持 3 个 UART 接口和 1 个 SPI 接口
- 支持 1 个 IR 接口和 1 个 I2C 接口
- 支持多个 GPIO

修订历史

版本	日期	原因
V1.0	2021/5/7	创建文档

www.apnring.com

目 录

1 功能简介.....	1
1.1 海思 Hi3521AV100 芯片特性.....	2
1.2 应用领域.....	6
2 性能参数.....	7
2.1 Hi3521A 核心板主要性能配置.....	7
2.2 Hi3521A 核心板工作环境参数.....	7
2.3 生产注意事项.....	7
3 引脚功能.....	8
3.1 引脚信息.....	8
3.2 Hi3521A 核心板引脚定义.....	8
4 系统硬件设计.....	12
4.1 核心板连接器.....	12
5 机械尺寸.....	14
5.1 实物图.....	14
5.2 机械尺寸.....	15
6 免责声明.....	16

1 功能简介

海思 Hi3521AV100 是针对多路高清（1080p/720p）和多路标清（D1/960H）DVR 产品应用开发的一款专业 SOC 芯片。Hi3521AV100 内置 ARM A7 处理器和高性能的 H.264 视频编解码引擎，集成了包含多项复杂图像处理算法的高性能视频/图像处理引擎，提供 HDMI/VGA 高清显示输出能力，同时还集成了丰富的外围接口。该 SOC 芯片为客户产品提供了高性能、优异图像质量的低成本模拟高清/SDI 解决方案，同时可大大降低相关产品 eBOM 成本。

海思 Hi3521AV100 核心板的实物图如下图 1.1 所示：

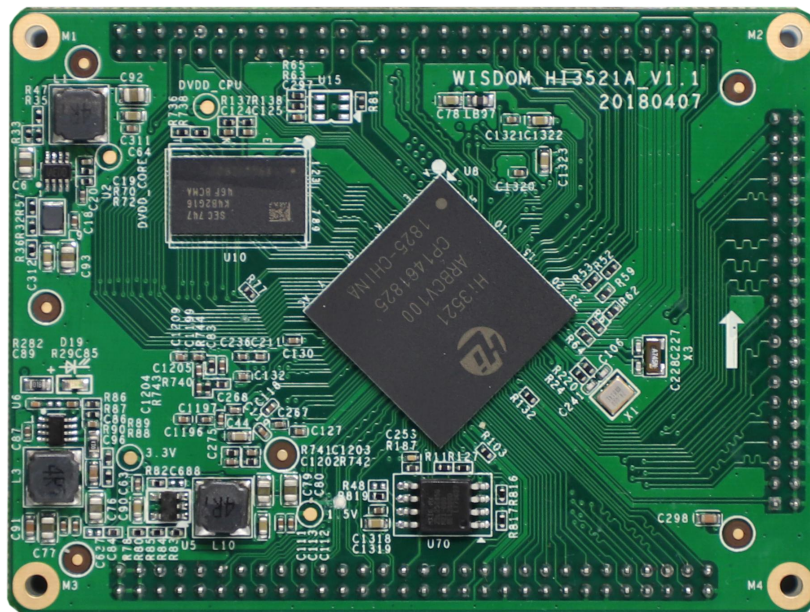


图 1.1 海思 Hi3521AV100 核心板实物图

1.1 海思 Hi3521AV100 芯片特性

表 1.1 芯片特性参数

特性	参数
处理器内核	<ul style="list-style-type: none"> ● ARM Cortex A7@Max.1.1GHz (Hi3521A 支持) <ul style="list-style-type: none"> -32KB L1 I-Cache, 32KBL1 D-Cache -128KB L2 Cache -支持 NEON/FPU ● ARM Cortex A7 @Max.800MHz(Hi3520DV300 支持) <ul style="list-style-type: none"> - 32KB L1 I-Cache, 32KB L1 D-Cache -128KB L2 Cache -支持 NEON/FPU
多协议视频编解码	<ul style="list-style-type: none"> ● H.264 Baseline/Main/High Profile Level4.2 编解码 ● MJPEG/JPEG Baseline 编解码
视频编解码处理	<ul style="list-style-type: none"> ● H.264&JPEG 多码流编解码性能:(Hi3521A 支持) <ul style="list-style-type: none"> - 4x1080p@30fps H.264 编码+4xCIF@30fps H.264 编码+1x1080p@30fps H.264 解码+4x1080p@2fps JPEG 编码 - 8x720p@30fps H.264 编码+8xCIF@30fps H.264 编码+4x720p@30fps H.264 解码+8x720p@2fps JPEG 编码 - 16x960H@30fps H.264 编码+16xCIF@30fps H.264 编码+4x960H@30fps H.264 解码+16x960H@2fps JPEG 编码 - 16xD1@30fps H.264 编码 +16xCIF@30fps H.264 编码 +8xD1@30fps H.264 解码+16xD1@2fps JPEG 编码 - 5x1080p@30fps H.264 解码 - 10x720p@30fps H.264 解码 - 4x720p@30fps JPEG 解码 ● H.264&JPEG 多码流编解码性能: (Hi3520DV300 支持) <ul style="list-style-type: none"> - 4x720p@30fps H.264 编码+4xCIF@30fps H.264 编码+4x720p@30fps H.264 解码+4x720p@2fps JPEG 编码 - 8x960H@30fps H.264 编码+8xCIF@30fps H.264 编码+1x960H@30fps H.264 解 码+8x960H@2fps JPEG 编码 - 8xD1@30fps H.264 编码 +8xCIF@30fps H.264 编码 +4xD1@30fps H.264 解码+ 8xD1@2fps JPEG 编码 - 2x1080p@30fps H.264 解码

	<ul style="list-style-type: none"> - 4x720p@30fps H.264 解码 - 4x720p@30fps JPEG 解码 ● 支持 CBR/VBR 码率控制, 16Kbit/s~40Mbit/s ● 支持固定 QP ● 编码帧率支持 1/16 fps~全帧率 ● 支持感兴趣区域 (ROI) 编码 ● 支持彩转灰编码
智能视频分析	<ul style="list-style-type: none"> ● 集成智能分析加速引擎, 支持智能运动侦测、周界防范、视频诊断等多种智能分析应用
视频与图形处理	<ul style="list-style-type: none"> ● 支持 de-interlace、锐化、3D 去噪、动态对比度增强、马赛克处理等前、后处理 ● 支持视频、图形输出抗闪烁处理 ● 支持视频 1/8~16x 缩放 ● 支持图形 1/2~2x 缩放 ● 支持 4 个遮挡区域 ● 支持 8 个区域 OSD 叠加
音频编解码	<ul style="list-style-type: none"> ● 硬件实现多协议音频编码, 支持 ADPCM、G.711、G.726 ● 软件实现多协议音频编解码
视频接口	<ul style="list-style-type: none"> ● 视频输入接口 (Hi3521A 支持) <ul style="list-style-type: none"> - 支持 4 个 8bit 接口或 2 个 16bit 接口 - 每个 8bit 接口支持 108/144MHz 4 路 D1/960H,时分复用输入, 共支持 16xD1/16x960H 实时视频输入 - 每个 8bit 接口支持 144/148.5MHz 2 路 720p 时分复用输入, 共支持 8x720p@30fps 实时视频输入 - 每个 8bit 接口支持 144/148.5MHz 双沿采样实现 4 路 720p 时分复用输入, 共支持 16x720p@30fps 实时视频输入 - 每个 8bit 接口支持 148.5MHz BT.1120 Y/C 间插模式输入, 共支持 4x1080p@30fps 实时视频输入 - 每个 8bit 接口支持通过 148.5MHz 双沿采样实现 2 路 1080p 时分复用输入, 共支持 8x1080p@30fps 实时视频输入 - 16bit 接口支持 148.5MHz BT.1120 标准模式, 支持 1x1080p@60fps 实时视频输入 ● 视频输入接口 (Hi3520DV300 支持) <ul style="list-style-type: none"> - 支持 2 个 8bit 接口或 1 个 16bit 接口 - 每个 8bit 接口支持 108/144MHz 4 路 D1/960H,时分复用输入, 共支

	<p>持 8xD1/8x960H 实时视频输入</p> <ul style="list-style-type: none"> - 每个 8bit 接口支持 144/148.5MHz 2 路 720p 时分复用输入, 共支持 4x720p@30fps 实时视频输入 - 每个 8bit 接口支持通过 148.5MHz 双沿采样实现 2 路 720p 时分复用输入, 共支持 8x720p@30fps 实时视频输入 - 每个 8bit 接口支持通过 148.5MHz 双沿采样实现 2 路 1080p 时分复用输入, 共支持 4x1080p@30fps 实时视频输入 - 每个 8bit 接口支持 148.5MHz BT.1120 Y/C 间插模式输入, 共支持 2x1080p@30fps 实时视频输入 - 16bit 接口支持 148.5MHz BT.1120 标准模式, 支持 1x1080p@60fps 实时视频输入 <ul style="list-style-type: none"> ● 视频输出接口 <ul style="list-style-type: none"> - 支持 HDMI 1.4+VGA+CVBS 多视频输出; - HDMI 与 VGA 同源输出 - 提供一个高清图形层和一个标清图形层, 格式为 ARGB1555、ARGB8888 可配置 - 提供一层硬件鼠标层, 格式为 ARGB1555、ARGB8888 可配置, 最大分辨率为 128x128 - 支持视频层、图形层、鼠标层 Alpha 叠加
音频接口	<ul style="list-style-type: none"> ● 3 个单向 I2S/PCM 接口 <ul style="list-style-type: none"> - 2 个输入, 支持 16 路复合输入 - 1 个输出, 支持双声道 (2 路) 输出 ● 支持 16bit 语音输入和输出
网络接口	<ul style="list-style-type: none"> ● 1 个千兆以太网接口 <ul style="list-style-type: none"> - 支持 RGMII、RMII、MII 三种接口模式 - 支持 10/100Mbit/s 半双工或全双工 - 支持 1000Mbit/s 全双工 - 支持 TSO, 降低 CPU 开销
安全引擎	<ul style="list-style-type: none"> ● 硬件实现 AES/DES/3DES 加解密算法
外围接口	<ul style="list-style-type: none"> ● 2 个 SATA3.0 接口 (Hi3521A 支持) <ul style="list-style-type: none"> - 支持 PM 功能 - 支持 eSATA ● 2 个 SATA2.0 接口 (Hi3521DV300 支持) <ul style="list-style-type: none"> - 支持 PM 功能

	<ul style="list-style-type: none"> - 支持 eSATA ● 2 个 USB 2.0 Host 接口，支持 Hub 功能 ● 3 个 UART 接口，其中 1 个支持 4 线 ● 1 个 SPI 接口，支持 2 个片选 ● 支持 1 个 IR 接口 ● 支持 1 个 I2C 接口 ● 支持多个 GPIO
存储器接口	<ul style="list-style-type: none"> ● 1 个 32bit DDR3/3L SDRAM 控制器接口 (Hi3521A 支持) <ul style="list-style-type: none"> - 最高频率 800MHz - 支持 ODT 功能 - 最大容量支持 1GB - 支持自动功耗控制 ● 1 个 16bit DDR3/3L SDRAM 控制器接口 (Hi3520DV300 支持) <ul style="list-style-type: none"> - 最高频率 800MHz - 支持 ODT 功能 - 最大容量支持 512MB - 支持自动功耗控制 ● SPI NOR/NAND Flash 接口 <ul style="list-style-type: none"> - 1、2、4bit SPI NOR/NAND Flash - 2 个片选，可分别接不同类型的 Flash - (仅对 NOR flash) 每个片选最大容量支持 32Mbytes - (仅对 SPI NAND flash) 每个片选支持的最大容量为 8GByte - (仅对 SPI NAND flash) 支持 2KB/4KB 页大小 - (仅对 SPI NAND flash) 支持 8bit/1Kbyte ECC 及 24bit/1Kbyte ECC ● 内置 4KB bootrom 和 16KB SRAM
独立供电 RTC	<ul style="list-style-type: none"> ● RTC 可通过电池独立供电
多种启动模式	<ul style="list-style-type: none"> ● 支持从 BootROM 启动 ● 支持从 SPI NOR Flash 启动 ● 支持从 SPI NAND Flash 启动
SDK	<ul style="list-style-type: none"> ● 支持 Linux 3.10 的开发包 ● 提供多种协议的音频编解码库 ● 提供 H.264 的高性能 PC 解码库

芯片物理规格	<ul style="list-style-type: none"> ● 功耗 (Hi3521A 支持) <ul style="list-style-type: none"> - 3W 典型功耗 - 支持多级功耗控制 ● 功耗 (Hi3520DV300 支持) <ul style="list-style-type: none"> - 2.5W 典型功耗 - 支持多级功耗控制 ● 工作电压 (Hi3521A 支持) <ul style="list-style-type: none"> - 内核电压为 1.1V - CPU 电压为 1.25V - IO 电压为 3.3V - DDR3 SDRAM 接口电压为 1.5V ● 工作电压 (Hi3520DV300 支持) <ul style="list-style-type: none"> - 内核 (含 CPU) 电压为 1.15V - IO 电压为 3.3V - DDR3 SDRAM 接口电压为 1.5V ● 封装 (Hi3521A 支持) <ul style="list-style-type: none"> - RoHS, TFBGA - 管脚间距: 0.8mm - 19mmx19mm 封装大小 ● 封装 (Hi3520DV300 支持) <ul style="list-style-type: none"> - RoHS, Epad-LQFP256 - 管脚间距: 0.4mm - 28mmx28mm 封装大小 ● 工作温度: 0~70° C
--------	---

1.2 应用领域

- 高清 4K 智能监控 IP 摄像机, 人脸检测, 车辆检测, 车牌识别
- 其他嵌入式机器视觉产品, 双目摄像机, 多目摄像机, 双目机器人
- 航拍无人机, 智能交通监控产品
- 运动相机, 全景相机, 后视镜
- 嵌入式 AI 图像识别其他应用场景

2 性能参数

2.1 Hi3521A 核心板主要性能配置

表 2.1 系统主频参数

名称	参数	规格				说明
		最小	典型	最大	单位	
ARM Cortex-A7	系统主频	—	1.1	—	GHz	—

* 本表配置是系统最优配置，建议不要修改。

2.2 Hi3521A 核心板工作环境参数

表 2.2 工作环境参数

Hi3521A 核心板	参数	规格				说明
		最低	典型	最高	单位	
工作环境	工作环境温度	0	25	70	°C	—
	工作环境湿度	5	—	95	% RH	不凝结的情况下

2.3 生产注意事项

产品采用防静电密封包装，生产组装过程需处于无静电环境，扣合的时候需沿核心板边缘用力，切勿用力推拉核心板上元器件。

3 引脚功能

3.1 引脚信息

Hi3521A 核心板将 Hi3521A 处理器引脚复用功能维持原定义、扩展或转换功能重新定义，用户可参考设计，以配合产品标准驱动的开发。为了保证产品设计具有良好的兼容性和稳定性，用户没有使用到的引脚资源请务必悬空处理。

3.2 Hi3521A 核心板引脚定义

Hi3521A 核心板接口引脚定义如下表所示。Hi3521A 核心板所有引脚功能均按下表的“默认功能”作了规定，请勿轻易修改，否则可能和出厂驱动冲突。如有疑问，请及时联系我们的销售或技术支持。

表 3.1 Hi3521A 核心板连接器 J6 引脚定义

引脚号	引脚名称	对应 CPU 引脚	引脚号	引脚名称	对应 CPU 引脚
1	5V	---	2	5V	---
3	GND	---	4	5V	---
5	GND	---	6	GND	---
7	UART2_TXD	Y14	8	UART2_RXD	W13
9	UART1_TXD	F1	10	---	---
11	UART1_RXD	F2	12	---	---
13	UART0_TXD	E2	14	UART0_RXD	D1
15	---	---	16	---	---
17	---	---	18	---	---
19	---	---	20	---	---
21	---	---	22	---	---
23	---	---	24	---	---
25	USB2_PWREN1	B4	26	USB2_OVRCUR1	A4
27	USB2_PWREN0	B5	28	USB2_OVRCUR0	A5
29	LED_ACT	---	30	LED_LINK	---
31	USB2_DP1	B7	32	USB2_DM1	A7
33	USB2_DM0	B6	34	USB2_DP0	C6
35	A_TPTX+	---	36	A_TPTX-	---
37	A_TPRX+	---	38	A_TPRX-	---

39	HDMI_TX2P	C15	40	HDMI_TX2N	B15
41	HDMI_TX1P	B16	42	HDMI_TX1N	A16
43	HDMI_TX0P	D17	44	HDMI_TX0N	C17
45	HDMI_TXCP	B18	46	HDMI_TXCN	A18
47	HDMI_CEC	A19	48	HDMI_SCL	B19
49	HDMI_SDA	C19	50	HDMI_HOTPLUG	D19
51	VGA_VS	B20	52	VGA_HS	C20
53	---	---	54	CVBS	B23
55	VGA_R	A21	56	VGA_G	A22
57	VGA_B	B22	58	GND	---
59	I2C_SDA	G19	60	I2C_SCL	F20

表 3.2 Hi3521A 核心板连接器 J7 引脚定义

引脚号	引脚名称	对应 CPU 引脚	引脚号	引脚名称	对应 CPU 引脚
1	GND	---	2	GND	---
3	GND	---	4	GND	---
5	JTAG_EN	AA12	6	JTAG_TDO/GPIO12_3	AB12
7	JTAG_TCK	AC13	8	JTAG_TMS/GPIO12_2	Y13
9	JTAG_TDI	AA13	10	JTAG_TRSTN/GPIO12_0	AB13
11	I2S1_SD_RX	W20	12	I2S1_WS_RX	U20
13	IR_IN	AA14	14	GPIO10_3/SATA_LED_N0	W14
15	I2S0_SD_RX	U19	16	I2S1_BCLK_RX	V19
17	I2S0_BCLK_RX	T19	18	I2S0_WS_RX	U20
19	GPIO10_4/SATA_LED_N1	Y15	20	I2S2_WS_TX	Y21
21	SATA_TX0P	Y16	22	SATA_TX0M	AA16
23	SATA_RX0M	AC15	24	SATA_RX0P	AB15
25	SATA_RX1P	AB17	26	SATA_RX1M	AC17
27	SATA_TX1M	AA18	28	SATA_TX1P	Y18
29	M_RESET	---	30	SPI_CSN0/GPIO5_3	F22
31	SPI_SCLK/GPIO5_0	G21	32	SPI_SDO/GPIO5_1	H20
33	SPI_SDI/GPIO5_2	G20	34	I2S2_SD_TX	AA23

35	AVDD_BAT	E19	36	I2S2_BCLK_TX	Y22
37	GND	---	38	VI_ADC_REFCLK0	
39	VI0_DAT7	W23	40	GND	---
41	VI0_DAT5	V23	42	VI0_DAT6	V22
43	VI0_DAT3	T21	44	VI0_DAT4	U22
45	VI0_DAT1	T23	46	VI0_DAT2	T22
47	VI0_CLK	R22	48	GND	---
49	VI0_DAT0	R23	50	GND	---
51	VI1_DAT6	R20	52	VI1_DAT7	R19
53	VI1_DAT4	P20	54	VI1_DAT5	P19
55	VI1_DAT2	P21	56	VI1_DAT3	P22
57	VI1_DAT0	N23	58	VI1_DAT1	N22
59	VI1_CLK	M23	60	GND	---

表 3.3 Hi3521A 核心板连接器 J8 引脚定义

引脚号	引脚名称	对应 CPU 引脚	引脚号	引脚名称	对应 CPU 引脚
1	VI_ADC_REFCLK1	M21	2	GND	---
3	GND	---	4	GND	---
5	VI2_DAT7	N20	6	GND	---
7	VI2_DAT6	N19	8	GND	---
9	VI2_DAT5	M20	10	GND	---
11	VI2_DAT4	M19	12	GND	---
13	VI2_DAT3	L19	14	GND	---
15	VI2_DAT2	L20	16	GND	---
17	VI2_DAT1	L22	18	GND	---
19	VI2_DAT0	L21	20	GND	---
21	VI2_CLK	K22	22	GND	---
23	VI3_DAT7	K19	24	GND	---
25	VI3_DAT6	K21	26	GND	---
27	VI3_DAT5	J20	28	GND	---
29	VI3_DAT4	J19	30	GND	---

31	VI3_DAT3	J22	32	GND	---
33	VI3_DAT2	J21	34	GND	---
35	VI3_DAT1	H22	36	GND	---
37	VI3_DAT0	H21	38	GND	---
39	VI3_CLK	G23	40	GND	---

www.apnring.com

4 系统硬件设计

海思 Hi3521AV100 核心板板含有大量的接口资源，必须设计可靠的外围电路与其配合。本手册给出部分外围电路的参考设计方法，所有电路都经过了严格的功能验证。外围接口标注示意如下图 4.1 所示：

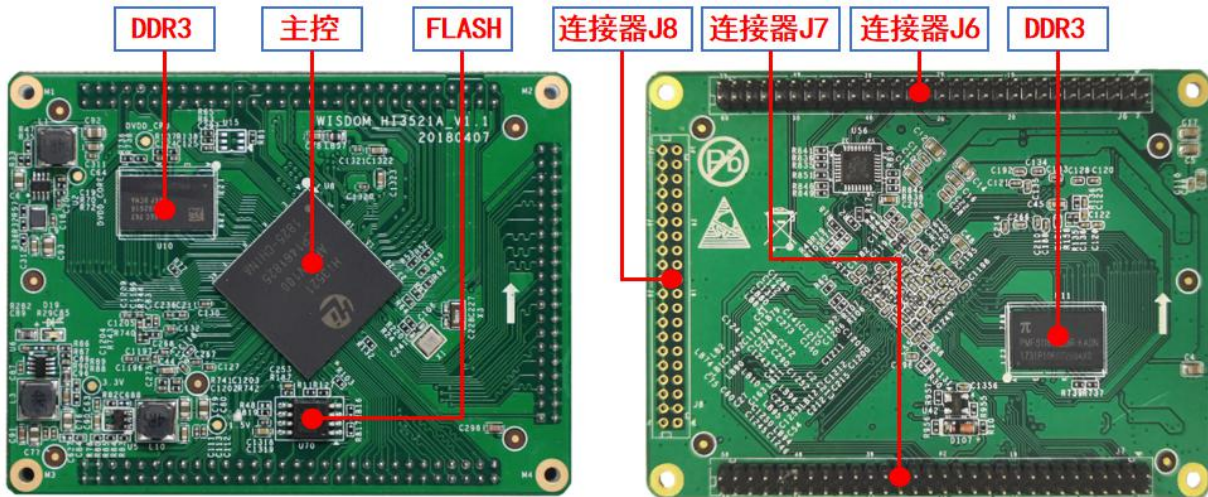


图 4.1 Hi3521A 外围接口示意图

4.1 核心板连接器

海思 Hi3521AV100 核心板与外围底板连接接口由三个连接器 J6、J7、J8 组成，如图 4.2~4.4 所示，总共 160 个引脚，具体引脚定义可参考本手册第三章的引脚信息部分。

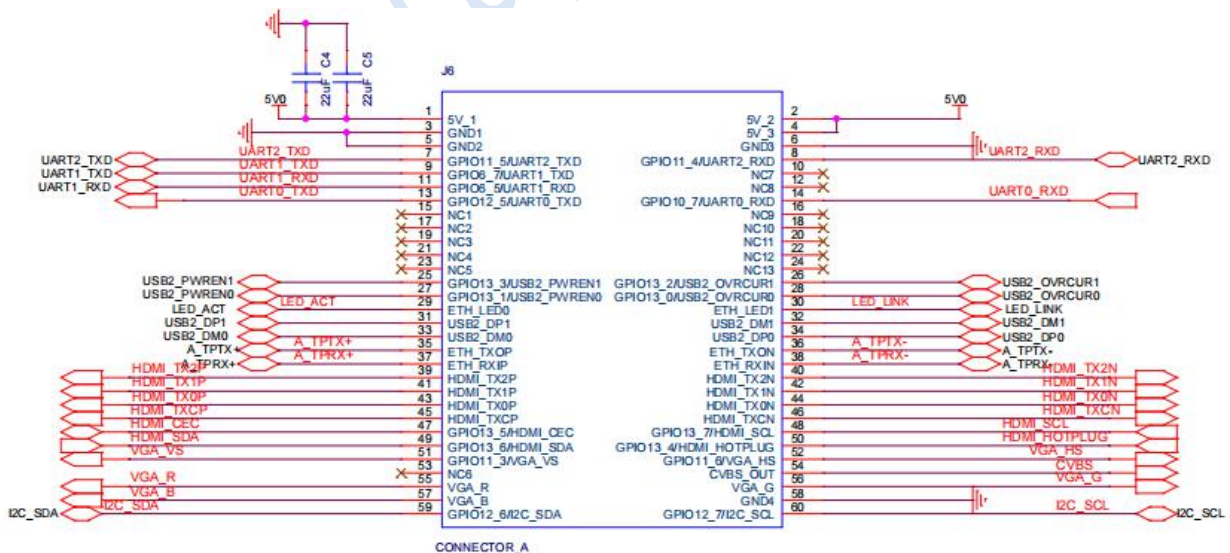


图 4.2 核心板连接器 J6 电路

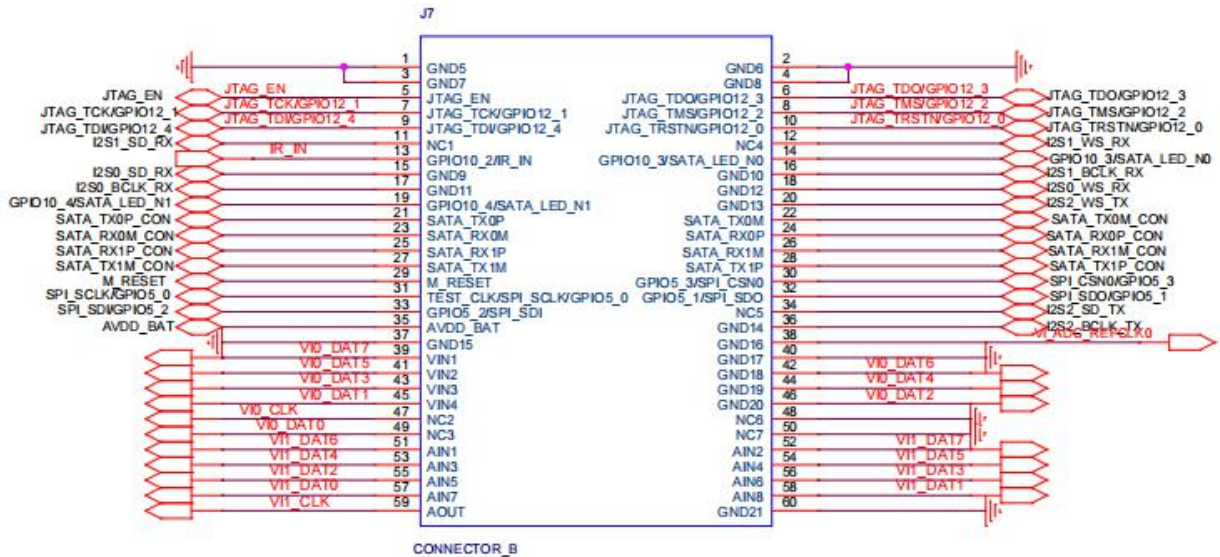


图 4.3 核心板连接器 J7 电路

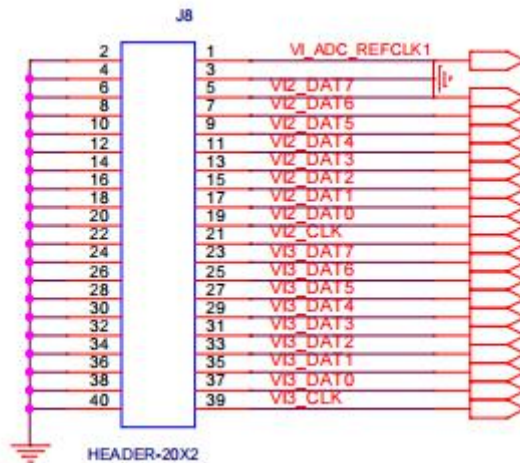


图 4.4 核心板连接器 J8 电路

* 其他部分的电路不再一一列举，如需更多资料可寻求技术支持。

5 机械尺寸

5.1 实物图

海思 Hi3521AV100 核心板实物图如下图 5.1~5.2 所示：

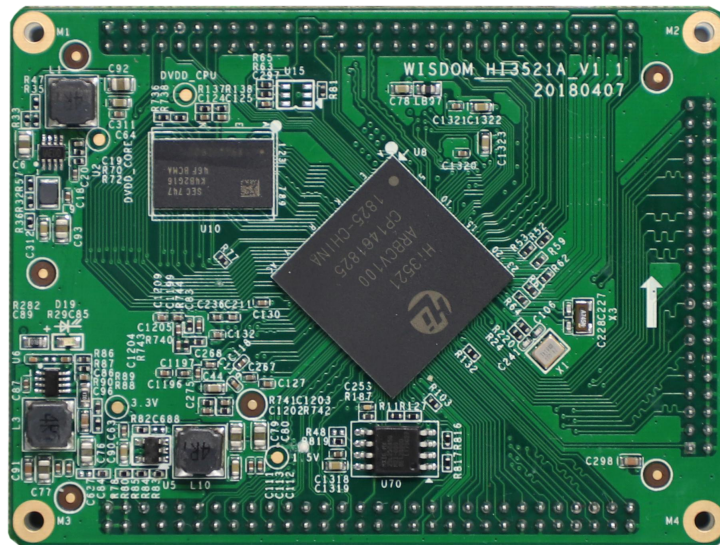


图 5.1 Hi3521A 核心板正面图

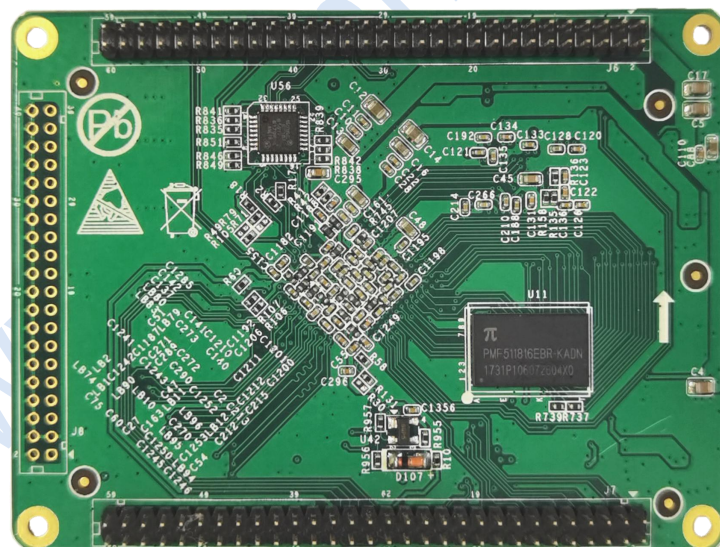


图 5.2 Hi3521A 核心板背面图

* 因生产批次不同，产品外观会略有差异。

5.2 机械尺寸

海思 Hi3521AV100 核心板的外形机械尺寸为 60*80mm，其他定位孔等尺寸标注如下图 5.3 所示（单位：mm）：

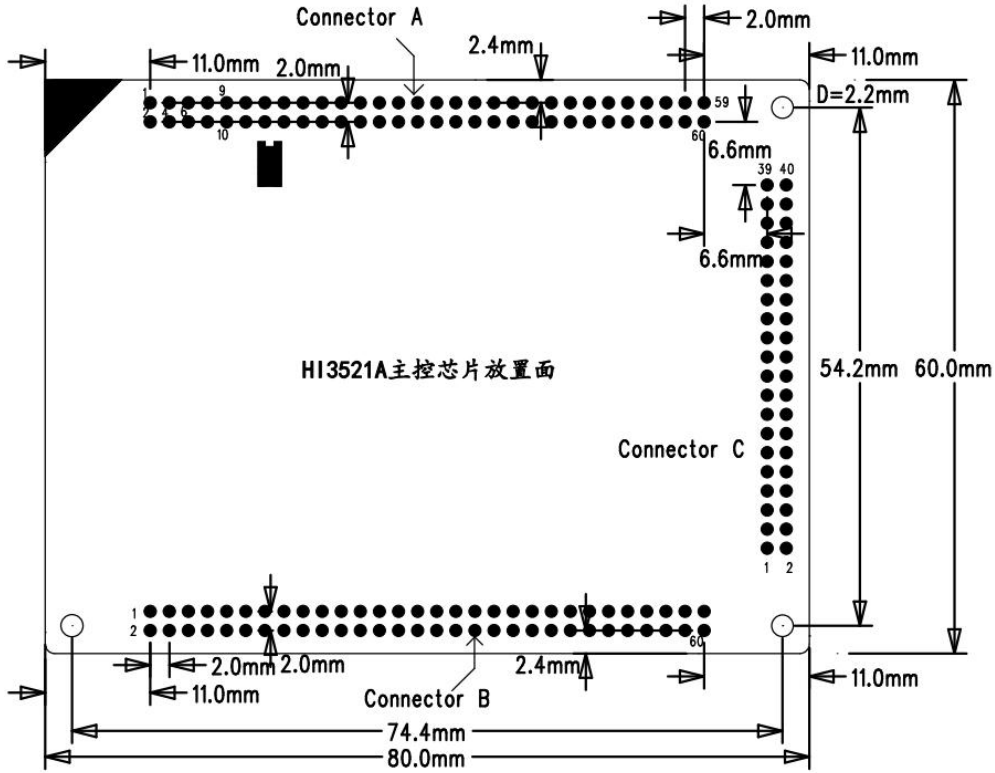


图 5.3 Hi3521AV100 核心板尺寸图

*如需更详细的机械尺寸图，请联系我们的销售或技术支持

6 免责声明

本档提供有关南京艾伯瑞电子科技有限公司产品的信息。本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。本档所陈述的产品文本及相关软件版权均属南京艾伯瑞电子科技有限公司所有，其产权受国家法律绝对保护，未经本公司授权，其它公司、单位、代理商及个人不得非法使用和拷贝，否则将受到国家法律的严厉制裁。南京艾伯瑞电子科技有限公司保留在任何时候修订本用户手册且不需通知的权利。

海思 Hi3521A 核心板可能包含某些设计缺陷或错误，一经发现将收入勘误表，并因此可能导致产品与已出版的规格有所差异。如客户索取，可提供最新的勘误表。

在订购产品之前，请您与南京艾伯瑞电子科技有限公司联系，以获取最新的规格说明。

南京艾伯瑞电子科技有限公司保留所有权利。