

产品概述

海思 Hi3531D V200 是针对多路高清/超高清（1080p/4M/5M/4K）DVR 产品应用开发的新一代专业 SoC 芯片。Hi3531D V200 集成了 ARM A53 四核处理器和性能强大的神经网络推理引擎，支持多种智能算法应用。同时，Hi3531D V200 还集成了多路 MIPI D-PHY 接口输入，突破了数字接口的视频输入性能瓶颈，提供两倍于前代产品的视频输入能力。



Hi3531DV200 芯片实物图

另外，H.265 视频编解码引擎、视频图像处理的算法效果及性能得到了进一步提升。结合丰富的外围设备及高速接口，该 SoC 芯片为客户产品提供了高性能、优异图像质量的模拟高清 DVR 解决方案，广泛用于模拟高清监控市场和车载 DVR 市场。

产品配置

- 板载 4*DDR4 ，共 4GB，速率 2133Mbps，1.2T 运算性能
- 板载 8GB EMMC 5.1
- 板载 256MB NAND FLASH
- 1 路 SATA 3.0
- 1 路 HDMI 2.0 输出，2 路 HDMI 1.4b 输入，1 路 HDMI 1.4a 输出
- 1 路 USB3.0，2 路 USB2.0
- 1 路 RS232 、1 路 RS485、1 路 TTL
- 双千兆网口
- 音频输入/输出各 1 路
- 支持 DC-12V 和 POE 模块供电

修订历史

版本	日期	原因
V1.0	2021/01/25	创建文档
V1.1	2021/05/17	产品接口图修改及核心板版本更新、新增开发指南
V2.0	2021/12/07	底板 PCB 更新为 A175-V4，核心板更新为 A299-V1

目 录

1 功能简介.....	1
1.1 海思 Hi3531DV200 芯片特性.....	2
1.2 应用领域.....	7
2 性能参数.....	8
2.1 Hi3531DV200 核心板主要性能配置.....	8
2.2 Hi3531DV200 核心板工作环境参数.....	8
2.3 Hi3531DV200 核心板功耗参数.....	8
2.4 生产注意事项.....	8
3 引脚功能.....	9
3.1 引脚信息.....	9
4 系统硬件设计.....	24
4.1 核心板连接器.....	26
4.2 电源电路.....	28
4.3 网口电路.....	29
4.4 SATA 接口电路.....	30
4.5 HDMI 接口电路.....	30
4.6 音频接口电路.....	31
4.7 USB 接口电路.....	32
5 机械尺寸.....	33
5.1 实物图.....	33
5.2 机械尺寸.....	35
6 开发板使用指南.....	36
7 免责声明.....	37

1 功能简介

海思 Hi3531D V200 是针对多路高清/超高清 (1080p/4M/5M/4K) DVR 产品应用开发的新一代专业 SoC 芯片。Hi3531D V200 集成了 ARM A53 四核处理器和性能强大的神经网络推理引擎,支持多种智能算法应用。同时,Hi3531D V200 还集成了多路 MIPI D-PHY 接口输入,H.265 视频编解码引擎、视频图像处理的算法效果及性能也得到了进一步提升。还有丰富的外围设备及高速接口资源。

A175 型 Hi3531D V200 开发板的硬件框图和实物图如下图 1.1~1.2 所示:

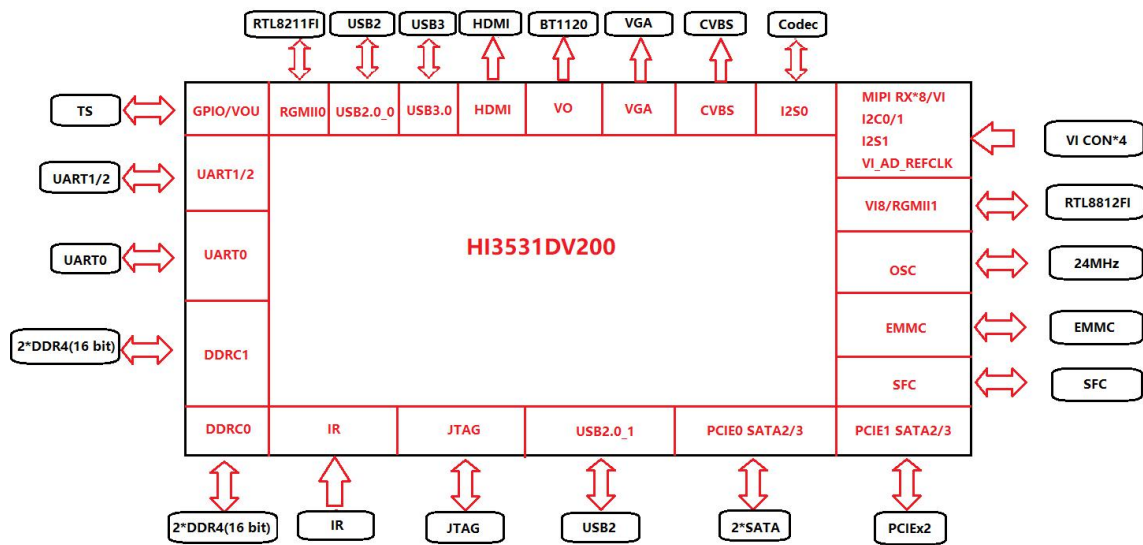


图 1.1 海思 Hi3531DV200 硬件框图

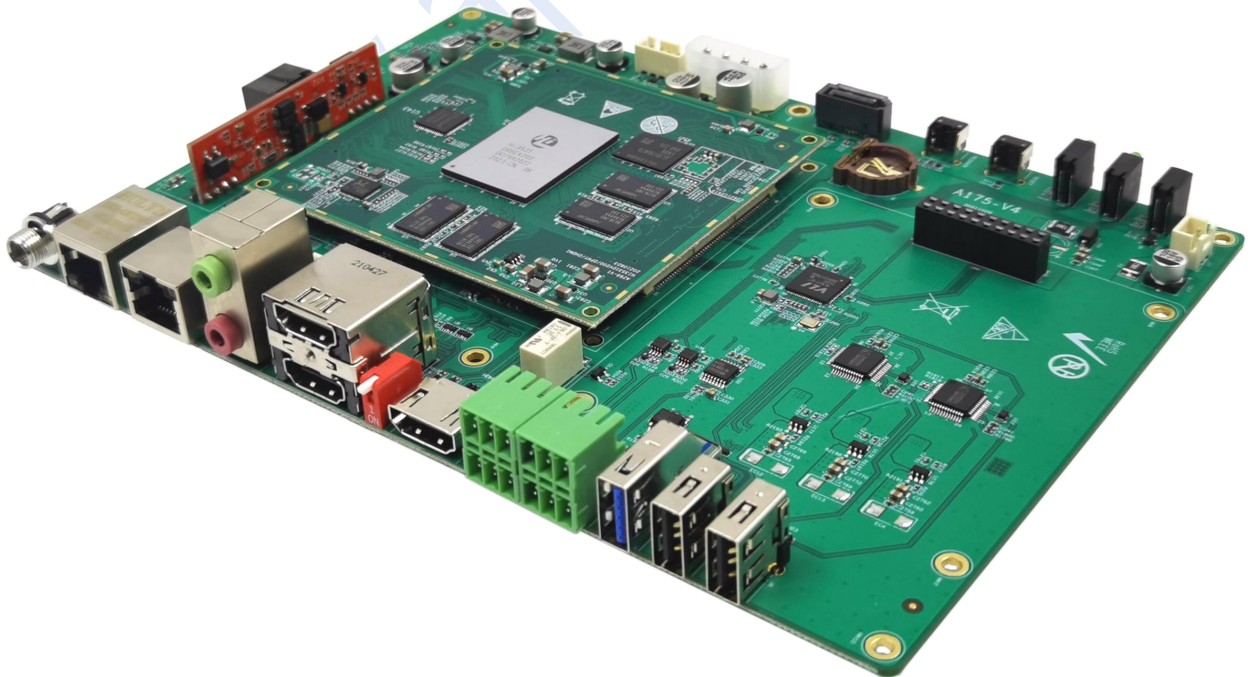


图 1.2 A175-Hi3531DV200 开发板实物图

1.1 海思 Hi3531DV200 芯片特性

表 1.1 芯片特性参数(下表参数仅代表芯片功能, 并不代表本开发板所具备以下全部功能)

特性	参数
处理器内核	<ul style="list-style-type: none"> ● ARM Cortex A53 四核@1.15GHz – 32KB L1 I-Cache, 32KB L1 D-Cache – 512KB L2 Cache – 支持 NEON/FPU
多协议视频编解码	<ul style="list-style-type: none"> ● H.265 Main Profile, Level 5.0 编码 ● H.265 Main Profile, Level 5.1 解码 ● H.264 Baseline/Main/High Profile, Level 5.1 编码 ● H.264 Baseline/Main/High Profile, Level 5.2 解码 ● MJPEG/JPEG Baseline 编解码
视频编解码处理	<ul style="list-style-type: none"> ● H.265/H.264&JPEG 多码流编解码性能: <ul style="list-style-type: none"> – 8x1080p@30fps H.265/H.264 编码+8xD1@30fps H.265/H.264 编码+8x1080p@30fps H.265/H.264 解码+8x1080p@2fps JPEG 编码 – 16x1080p@15fps H.265/H.264 编码+16xD1@30fps H.265/H.264 编码+16x1080p@15fps H.265/H.264 解码+16x1080p@2fps JPEG 编码 – 16x4M@7.5fps H.265/H.264 编码+16xD1@30fps H.265/H.264 编码+16x4M@7.5fps H.265/H.264 解码+16x4M@1fps JPEG 编码 ● 支持 CBR/VBR/AVBR/CVBR/FIXQP/QPMAP/QVBR 七种码率控制模式 ● 输出码率最高 20Mbps ● 支持感兴趣区域 (ROI) 编码 ● 支持彩转灰编码
SVP	<ul style="list-style-type: none"> ● 神经网络推理引擎 (NNIE) <ul style="list-style-type: none"> – 支持多种神经网络 – 1.2Tops 运算性能 – 支持完整的 API 和工具链 – 支持人脸检测/识别、目标检测/跟踪等多种应用 ● 智能视觉引擎 (IVE) <ul style="list-style-type: none"> – 支持目标跟踪

SVP (续上)	<ul style="list-style-type: none"> ● 矩阵运算单元 (MAU) <ul style="list-style-type: none"> - 支持单精度/半精度浮点 - 支持特征向量比对
视频与图形 处理	<ul style="list-style-type: none"> ● 支持 de-interlace、锐化、3D 去噪、动态对比度增强、马赛克处理等前、后处理 ● 支持视频、图形输出抗闪烁处理 ● 支持视频 1/15~16x 缩放 ● 支持图形 1/2~2x 缩放 ● 支持 4 个遮挡区域 ● 支持 8 个区域 OSD 叠加
视频接口	<ul style="list-style-type: none"> ● 视频输入接口 <ul style="list-style-type: none"> - 支持 8 个 MIPI D-PHY 接口和 1 个 BT. 1120 视频级联接口 - 每个 MIPI 接口支持： <ul style="list-style-type: none"> ➢ 4 条 lane，最高速率 1.5Gbps ➢ 支持单路输入或 2 路复用/4 路复用输入 ➢ 可复用为 1 个 8bit BT. 656 接口 - 每 2 个 BT. 656 接口可组成 1 个 16bit BT. 1120 接口 - BT. 656 和 BT. 1120 均支持 148.5MHz 双沿采样 - 支持 33 个视频输入通道 (含 1 个视频级联通道) - 支持 16 路在线视频缩放 - 支持同时输出原始图像和缩放后图像 - MIPI 接口最大接入性能： <ul style="list-style-type: none"> ➢ 8 路 4K@30fps 或 16 路 4K@15fps ➢ 16 路 4M/5M@30fps ➢ 32 路 1080p@30fps - 最大输出性能：16 路 1080p@30fps (或相同数据量的 4M/5M/4K 图像) + 1 路 4K@30fps (级联输入图像) ● 视频输出接口 <ul style="list-style-type: none"> - 支持 1 个 HDMI 2.0 高清输出接口，最大输出 3840x2160@60fps - 支持 1 个 VGA 高清输出接口，最大输出 2560x1600@60fps

	<ul style="list-style-type: none"> - 支持 1 个 BT. 1120 高清输出接口，最大可输出 3840x2160@30fps (双沿采样) - 支持 1 个 CVBS 标清输出接口，支持 PAL/NTSC 制式输出 - 支持 2 个独立高清输出通道 (DHD0、DHD1) <ul style="list-style-type: none"> ▶支持任意两个高清接口非同源显示 ▶DHD0 支持 64 画面分割 ▶DHD1 支持 64 画面分割 - 支持 1 个独立标清输出通道 (DSD0) - 支持 1 个 PIP 层，可与 DHD0 或 DHD1 叠加 - 支持 2 个 GUI 图形层，支持 ARGB1555、ARGB4444 或 ARGB8888 格式，分别用于 DHD0 和 DHD1 - 支持 1 个特殊图形层，支持 CLUT2/CLUT4，可绑定 DHD0、DHD1 或 DSD0 - 支持 1 个硬件鼠标层，格式为 ARGB1555、ARGB4444、ARGB8888 可配置，最大分辨率为 256x256
音频接口	<ul style="list-style-type: none"> ● 3 个单向 I2S/PCM 接口 <ul style="list-style-type: none"> - 2 个输入，支持 20 路复合输入 - 1 个输出，支持双声道输出
网络接口	<ul style="list-style-type: none"> ● 2 个千兆以太网接口 <ul style="list-style-type: none"> - 支持 RGMII、RMII 两种接口模式 - 支持 10/100Mbit/s 半双工或全双工 - 支持 1000Mbit/s 全双工 - 支持 TSO，降低 CPU 开销
安全引擎	<ul style="list-style-type: none"> ● 支持 AES 128/192/256 bit 加解密算法 ● 支持 RSA 2048/4096 bit 加解密算法 ● 支持 SHA1/SHA224/SHA256/HMAC_SHA1/HMAC_SHA224/HMAC_SHA256 ● 支持 OTP，提供 28Kbit 用户可烧写空间 ● 支持硬件真随机数发生器 ● 支持安全启动

	<ul style="list-style-type: none"> ● 支持安全内存隔离
外围接口	<ul style="list-style-type: none"> ● 4 个 SATA3.0/PCIe 2.0 复用接口 <ul style="list-style-type: none"> - 可配置为 4*SATA、2*SATA+1*PCIe x2、2*SATA+2*PCIe x1、2*PCIe x2 等多种组合 - 用于 PCIe 2.0 接口时，支持 RC 和 EP 功能 - 用于 SATA 3.0 接口时，支持 eSATA 和 PM1 ● 1 个 USB 3.0 Host 接口 ● 2 个 USB 2.0 Host 接口 ● 5 个 UART 接口，其中 2 个支持 4 线 ● 1 个 SPI 接口，支持 4 个片选 ● 支持 1 个 IR 接口 ● 支持 2 个 I2C 接口 ● 支持多个 GPIO
存储器接口	<ul style="list-style-type: none"> ● 2 个 32bit DDR4/DDR3 接口 <ul style="list-style-type: none"> - 支持双通道 - DDR4 最高时钟频率 1200MHz - DDR3 最高时钟频率 1066MHz - 最大容量支持 8GB ● SD/MMC 接口 <ul style="list-style-type: none"> - 支持 eMMC4.5/eMMC5.0/eMMC5.1 - 支持 HS400（150MHz 双沿） - 支持 SDIO 3.0（非 SD 卡） ● SPI NOR/NAND Flash 接口 <ul style="list-style-type: none"> - 支持 2 个片选，可分别接不同类型的 Flash - 对于 SPI NOR Flash ● 支持 1、2、4 线模式 ● 支持 3Byte、4Byte 地址模式 ● 支持最大容量：256MB <ul style="list-style-type: none"> - 对于 SPI NAND Flash

	<ul style="list-style-type: none"> ● 支持 SLC Flash ● 支持 2KB/4KB 页大小 ● 支持 8/24bit ECC (ECC 以 1KB 为单位) ● 支持最大容量: 2GB
独立供电 RTC	<ul style="list-style-type: none"> ● RTC 可通过电池独立供电 ● 多种启动模式可配置 ● 支持从 BootROM 启动 ● 支持从 SPI NOR Flash 启动 ● 支持从 SPI NAND Flash 启动 ● 支持从 eMMC 启动 ● 支持 PCIe 从片启动
SDK	<ul style="list-style-type: none"> ● 支持 Linux SMP 64bit ● 提供多种协议的音频编解码库 ● 提供 H.265/H.264 的高性能 PC 解码库
芯片物理规格	<ul style="list-style-type: none"> ● 功耗 <ul style="list-style-type: none"> - 典型场景(16 路 1080p@15fps 编码 + 8 路 1080p@15fps 解码 + 深度学习智能算法) 功耗: 4.6W - 支持多级功耗控制 ● 工作电压 <ul style="list-style-type: none"> - 内核电压为 0.9V - CPU 电压为 1.0V - IO 电压为 1.8V/3.3V - DDR4 接口电压为 1.2V - DDR3 接口电压为 1.5V ● 封装 <ul style="list-style-type: none"> - RoHS, EHS-TFBGA - 管脚间距: 0.8mm - 封装大小: 22.4mmx31.2mm - 工作温度: 0° C ~ 70°

1.2 应用领域

- 车载 DVR
- 高清监控
- 目标检测/跟踪
- 人脸检测/识别

2 性能参数

2.1 Hi3531DV200 核心板主要性能配置

表 2.1 系统主频参数

名称	参数	规格				说明
		最小	典型	最大	单位	
ARM Cortex-A53 四核	系统主频	—	1.15	—	GHz	—

* 本表配置是系统最优配置，建议不要修改。

2.2 Hi3531DV200 核心板工作环境参数

表 2.2 工作环境参数

Hi3531DV200 核心板	参数	规格				说明
		最低	典型	最高	单位	
工作环境	工作环境温度	0	25	70	°C	—
	工作环境湿度	5	—	95	% RH	不凝结的情况下

2.3 Hi3531DV200 核心板功耗参数

表 2.3 核心板功耗参数

参数	典型值	最大值	单位
CPU 功耗	810	1387	mW
VDD 内核功耗	2425	3162	mW
3.3V IO 功耗	852	997	mW
1.8V MIPI PHY 功耗	105	120	mW
DR 接口功耗	583	612	mW

2.4 生产注意事项

产品采用防静电密封包装，生产组装过程需处于无静电环境，扣合的时候需沿核心板边缘用力，切勿用力推拉核心板上元器件。

3 引脚功能

3.1 引脚信息

A299 型 Hi3531DV200 核心板接口引脚定义如下表 3.1 所示。A299 型 Hi3531DV200 核心板所有引脚功能均按下表 3.1 的“默认功能”作了规定，请勿轻易修改，否则可能和出厂驱动冲突。如有疑问，请及时联系我们的销售或技术支持。

表 3.1 A299 型 Hi3531DV200 核心板连接器 J1 左引脚定义

管脚号	名称	功能描述	参考电平 (V)	输入/输出	处理器对应引脚
1	MIPI_RX6_D2N/VI6_DATA7	MIPI RX6 接口差分数据 2 负极/VI6 输入数据 7	1.8	I	P35
3	MIPI_RX6_D2P/VI6_CLK	MIPI RX6 接口差分数据 2 正极/VI6 输入时钟	1.8	I	P36
5	GND	GND	—	—	—
7	MIPI_RX7_D1N/VI7_DATA0	MIPI RX7 接口差分数据 1 负极/VI7 输入数据 0	1.8	I	R36
9	MIPI_RX7_D1P/VI7_CLK	MIPI RX7 接口差分数据 1 正极/VI7 输入时钟	1.8	I	R35
11	GND	GND	—	—	—
13	MIPI_RX7_D0N/VI7_DATA2	MIPI RX7 接口差分数据 0 负极/VI7 输入数据 2	1.8	I	T35
15	MIPI_RX7_D0P/VI7_DATA1	MIPI RX7 接口差分数据 0 正极/VI7 输入数据 1	1.8	I	T34
17	NC	---	—	—	—
19	NC	---	—	—	—
21	NC	---	—	—	—
23	NC	---	—	—	—
25	NC	---	—	—	—
27	GE1_MDI0+	ETH DATA0+	—	—	—
29	GE1_MDI0-	ETH DATA0-	—	—	—
31	GE1_MDI1+	ETH DATA1+	—	—	—
33	GE1_MDI1-	ETH DATA1-	—	—	—
35	GE1_MDI2+	ETH DATA2+	—	—	—
37	GE1_MDI2-	ETH DATA2-	—	—	—
39	GE1_MDI3+	ETH DATA3+	—	—	—
41	GE1_MDI3-	ETH DATA3-	—	—	—

43	GE1_LED_RX_TX	TRAFFIC_LED0	—	OC	—
45	GE1_LED_LINK	LINK_LED1	—	OC	—
47	NC	—	—	—	—
49	VI8_CLK	VI8 输入时钟	3.3	I	Y36
51	GND	GND	—	—	—
53	SATA1_TXM	SATA1 端口的发送差分信号负极	3.3	O	AE29
55	SATA1_TXP	SATA1 端口的发送差分信号正极	3.3	O	AD29
57	GND	GND	—	—	—
59	SATA1_RXM	SATA1 端口的接收差分信号负极	3.3	I	AH29
61	SATA1_RXP	SATA1 端口的接收差分信号正极	3.3	I	AG29
63	GND	GND	—	—	—
65	SATA_LED_N2	SATA2 端口 LED 指示, 低有效	3.3	O	AG37
67	SATA_LED_N1	SATA1 端口 LED 指示, 低有效	3.3	O	AG38
69	SATA_LED_N0	SATA0 端口 LED 指示, 低有效	3.3	O	AH37
71	SYS_RSTN	系统复位输出, 低电平有效	3.3	O	AD36
73	RST_IN	—	—	—	—
75	PCIE1_REFCLK_SEL	PCIe1 PHY 参考时钟选择。 0: 内部 CRG 时钟; 1: 外部时钟输入。 (硬件复用: 当 power_on_lock==1'b1 时管脚被 设置成此功能)	3.3	I	AF38
77	PCIE0_REFCLK_SEL	PCIe0 PHY 参考时钟选择。 0: 内部 CRG 时钟; 1: 外部时钟输入。 (硬件复用: 当 power_on_lock==1'b1 时管脚被 设置成此功能)	3.3	I	AF39
79	PCIE1_RST/GPIO25_4	PCIe1 复位信号/通用输入输出	3.3	O	AF37
81	JTAG_TDO/UART3_RXD	JTAG 数据输出/UART3 数据接收	3.3	O/I	AB24
83	GND	GND	—	—	—
85	IR_IN	红外输入信号	3.3	I	AF24
87	GND	GND	—	—	—
89	GND	GND	—	—	—
91	GND	GND	—	—	—

93	GND	GND	—	—	—
95	GND	GND	—	—	—
97	GND	GND	—	—	—
99	GND	GND	—	—	—

表 3.2 A299 型 Hi3531DV200 核心板连接器 J1 右引脚定义

管脚号	名称	功能描述	参考电平 (V)	输入/输出	处理器对应引脚
2	MIPI_RX7_D3P/VI7_DATA3	MIPI RX7 接口差分数据 3 正极/VI7 输入数据 3	3.3	I	P38
4	MIPI_RX7_D3N/VI7_DATA4	MIPI RX7 接口差分数据 3 负极/VI7 输入数据 4	3.3	I	P37
6	GND	GND	—	—	—
8	MIPI_RX7_CKP/VI7_DATA5	MIPI RX7 接口差分时钟正极/VI7 输入数据 5	3.3	I	T36
10	MIPI_RX7_CKN/VI7_DATA6	MIPI RX7 接口差分时钟负极/VI7 输入数据 6	3.3	I	T37
12	GND	GND	—	—	—
14	MIPI_RX7_D2P/VI7_DATA7	MIPI RX7 接口差分数据 2 正极/VI7 输入数据 7	3.3	I	T39
16	MIPI_RX7_D2N/VI7_CLK	MIPI RX7 接口差分数据 2 负极/VI7 输入时钟	3.3	I	T38
18	VI_AD_REFCLK3	VIAD 参考时钟 3	3.3	O	U37
20	GND	GND	—	—	—
22	I2S1_BCLK	I2S1 或 PCM1 时钟	3.3	B	K32
24	I2S1_SD_RX	I2S1 或 PCM1 接口数据输入	3.3	I	H34
26	I2S1_WS	I2S1 左右声道选择信号, 或 PCM1 帧同步信号	3.3	B	J33
28	PCIE1_TXP0_CON	PCIE1 Lane0/SATA3 端口的发送差分信号正极	3.3	O	AD35
30	PCIE1_TXM0_CON	PCIE1 Lane0/SATA3 端口的发送差分信号	3.3	O	AE35

		负极			
32	GND	GND	—	—	—
34	PCIE1_RXP0	PCIE1 Lane0/SATA3 端口的接收差分信号 正极	3.3	I	AG35
36	PCIE1_RXM0	PCIE1 Lane0/SATA3 端口的接收差分信号 负极	3.3	I	AH35
38	GND	GND	—	—	—
40	PCIE1_TXP1_CON	PCIE1 Lane1/SATA2/PCIE0 X1 模式 Lane0 端口的发送差分信号正极。 注: 该端口仅再 UPS_MODE == 3'b011 时用于 PCIE0 X1 模式 Lane0 端口。	3.3	O	AD33
42	PCIE1_TXM1_CON	PCIE1 Lane1/SATA2/PCIE0 X1 模式 Lane0 端口的发送差分信号负极。 注: 该端口仅再 UPS_MODE == 3'b011 时用于 PCIE0 X1 模式 Lane0 端口。	3.3	O	AE33
44	GND	GND	—	—	—
46	PCIE1_RXP1	PCIE1 Lane1/SATA2/PCIE0 X1 模式 Lane0 端口的接收差分信号正极。 注: 该端口仅再 UPS_MODE == 3'b011 时用于 PCIE0 X1 模式 Lane0 端口。	3.3	I	AG33
48	PCIE1_RXM1	PCIE1 Lane1/SATA2/PCIE0 X1 模式 Lane0 端口的发送差分信号负极。 注: 该端口仅再 UPS_MODE == 3'b011 时用于 PCIE0 X1 模式 Lane0 端口。	3.3	I	AH33
50	GND	GND	—	—	—
52	PCIE1_REFCLKP	PCIE1 参考时钟管脚正极	3.3	B	AD31
54	PCIE1_REFCLKM	PCIE1 参考时钟管脚负极	3.3	B	AE31
56	GND	GND	—	—	—
58	PCIE0_REFCLKP	PCIE0 参考时钟管脚正极	3.3	B	AG31
60	PCIE0_REFCLKM	PCIE0 参考时钟管脚负极	3.3	B	AH31
62	GND	GND	—	—	—
64	SATA0_TXM	SATA0 端口的发送差分信号负极	3.3	O	AE27
66	SATA0_TXP	SATA0 端口的发送差分信号正极	3.3	O	AD27

68	GND	GND	—	—	—
70	SATA0_RXM	SATA0 端口的接收差分信号负极	3.3	I	AH27
72	SATA0_RXP	SATA0 端口的接收差分信号正极	3.3	I	AG27
74	GND	GND	—	—	—
76	USB2_1_DP	USB2.0 端口 1 的数据信号（正极），在高速模式下，该端口最大的电压是 800mV 或 400mV，在全速和低速模式下，该端口的电压是 3.3V	3.3	B	AH25
78	USB2_1_DM	USB2.0 端口 1 的数据信号（负极），在高速模式下，该端口最大的电压是 800mV 或 400mV，在全速和低速模式下，该端口的电压是 3.3V	3.3	B	AG25
80	USB2_1_OVRCUR	USB2.0 端口 1 过流指示信号，默认为高有效	3.3	I	AD26
82	USB2_1_PWREN	USB2.0 端口 1 电源控制输出管脚，高低电平可配，默认为低电平有效	3.3	O	AC26
84	JTAG_TDI/UART3_TXD	JTAG 数据输入/UART3 数据发送	3.3	I/O	AE25
86	5V_MAIN	5V 电源	—	—	—
88	5V_MAIN	5V 电源	—	—	—
90	5V_MAIN	5V 电源	—	—	—
92	5V_MAIN	5V 电源	—	—	—
94	5V_MAIN	5V 电源	—	—	—
96	5V_MAIN	5V 电源	—	—	—
98	5V_MAIN	5V 电源	—	—	—
100	5V_MAIN	5V 电源	—	—	—

表 3.3 A299 型 Hi3531DV200 核心板连接器 J2 左引脚定义

管脚号	名称	功能描述	参考电平 (V)	输入/输出	处理器对应引脚
1	MIPI_RX0_D1N/VI0_CLK	MIPI RX0 接口差分数据 1 负极/VI0 输入时钟	3.3	I	D30

3	MIPI_RX0_D1P/VI0_DATA0	MIPI RX0 接口差分数据 1 正极/VI0 输入数据 0	3.3	I	E30
5	GND	GND	—	—	—
7	MIPI_RX0_D3N/VI0_DATA3	MIPI RX0 接口差分数据 3 负极/VI0 输入数据 3	3.3	I	A31
9	MIPI_RX0_D3P/VI0_DATA4	MIPI RX0 接口差分数据 3 正极/VI0 输入数据 4	3.3/1.8	I	B31
11	GND	GND	—	—	—
13	MIPI_RX0_D2N/VI0_DATA7	MIPI RX0 接口差分数据 2 负极/VI0 输入数据 7	3.3	I	C32
15	MIPI_RX0_D2P/VI0_CLK	MIPI RX0 接口差分数据 2 正极/VI0 输入时钟	3.3	I	D32
17	GND	GND	—	—	—
19	MIPI_RX1_D1P/VI1_CLK	MIPI RX1 接口差分数据 1 正极/VI1 输入时钟	3.3	I	F32
21	MIPI_RX1_D1N/VI1_DATA0	MIPI RX1 接口差分数据 1 负极/VI1 输入数据 0	3.3	I	E32
23	GND	GND	—	—	—
25	MIPI_RX1_D0P/VI1_DATA1	MIPI RX1 接口差分数据 0 正极/VI1 输入数据 1	3.3	I	E33
27	MIPI_RX1_D0N/VI1_DATA2	MIPI RX1 接口差分数据 0 负极/VI1 输入数据 2	3.3	I	D33
29	GND	GND	—	—	—
31	MIPI_RX2_D1N/VI2_CLK	MIPI RX2 接口差分数据 1 负极/VI2 输入时钟	3.3	I	E34
33	MIPI_RX2_D1P/VI2_DATA0	MIPI RX2 接口差分数据 1 正极	3.3	I	F34
35	GND	GND	—	—	—
37	MIPI_RX2_D3N/VI2_DATA3	MIPI RX2 接口差分数据 3 负极/VI2 输入数据 3	3.3	I	D36
39	MIPI_RX2_D3P/VI2_DATA4	MIPI RX2 接口差分数据 3 正极/VI2 输入数据 4	3.3	I	C36
41	GND	GND	—	—	—

43	MIPI_RX2_D2N/VI2_DATA7	MIPI RX2 接口差分数据 2 负极/VI2 输入数据 7	3.3	I	A37
45	MIPI_RX2_D2P/VI2_CLK	MIPI RX2 接口差分数据 2 正极/VI2 输入时钟	3.3	I	B37
47	GND	GND	—	—	—
49	MIPI_RX3_D1P/VI3_DATA1	MIPI RX3 接口差分数据 1 正极/VI3 输入数据 1	3.3	I	D38
51	MIPI_RX3_D1N/VI3_DATA2	MIPI RX3 接口差分数据 1 负极/VI3 输入数据 2	3.3	I	D39
53	GND	GND	—	—	—
55	MIPI_RX3_D0P/VI3_DATA5	MIPI RX3 接口差分数据 0 正极/VI3 输入数据 5	3.3	I	F38
57	MIPI_RX3_D0N/VI3_DATA6	MIPI RX3 接口差分数据 0 负极/VI3 输入数据 6	3.3	I	F39
59	GND	GND	—	—	—
61	MIPI_RX4_D1N/VI4_CLK	MIPI RX4 接口差分数据 1 负极/VI4 输入时钟	3.3	I	J35
63	MIPI_RX4_D1P/VI4_DATA0	MIPI RX4 接口差分数据 1 正极/VI4 输入数据 0	3.3	I	J34
65	GND	GND	—	—	—
67	MIPI_RX4_D3N/VI4_DATA3	MIPI RX4 接口差分数据 3 负极/VI4 输入数据 3	3.3	I	H36
69	MIPI_RX4_D3P/VI4_DATA4	MIPI RX4 接口差分数据 3 正极/VI4 输入数据 4	3.3	I	H37
71	GND	GND	—	—	—
73	MIPI_RX4_D2N/VI4_DATA7	MIPI RX4 接口差分数据 2 负极/VI4 输入数据 7	3.3	I	J37
75	MIPI_RX4_D2P/VI4_CLK	MIPI RX4 接口差分数据 2 正极/VI4 输入时钟	3.3	I	J38
77	GND	GND	—	—	—
79	MIPI_RX5_D1P/VI5_CLK	MIPI RX5 接口差分数据 1 正极/VI5 输入时钟	3.3	I	L34

81	MIPI_RX5_D1N/VI5_DATA0	MIPI RX5 接口差分数据 1 负极/VI5 输入数据 0	3.3	I	L33
83	GND	GND	—	—	—
85	MIPI_RX5_D0P/VI5_DATA1	MIPI RX5 接口差分数据 0 正极/VI5 输入数据 1	3.3	I	M34
87	MIPI_RX5_D0N/VI5_DATA2	MIPI RX5 接口差分数据 0 负极/VI5 输入数据 2	3.3	I	M33
89	GND	GND	—	—	—
91	MIPI_RX6_D1N/VI6_CLK	MIPI RX6 接口差分数据 1 负极/VI6 输入时钟	3.3	I	N34
93	MIPI_RX6_D1P/VI6_DATA0	MIPI RX6 接口差分数据 1 正极/VI6 输入数据 0	3.3	I	N33
95	GND	GND	—	—	—
97	MIPI_RX6_D3N/VI6_DATA3	MIPI RX6 接口差分数据 3 负极/VI6 输入数据 3	3.3	I	M39
99	MIPI_RX6_D3P/VI6_DATA4	MIPI RX6 接口差分数据 3 正极/VI6 输入数据 4	3.3	I	M38

表 3.4 A299 型 Hi3531DV200 核心板连接器 J2 右引脚定义

管脚号	名称	功能描述	参考电平 (V)	输入/输出	处理器对应引脚
2	MIPI_RX0_D0N/VI0_DATA1	MIPI RX0 接口差分数据 0 负极/VI0 输入数据 1	3.3	I	F31
4	MIPI_RX0_D0P/VI0_DATA2	MIPI RX0 接口差分数据 0 正极/VI0 输入数据 2	3.3	I	E31
6	GND	GND	—	—	—
8	MIPI_RX0_CKN/VI0_DATA5	MIPI RX0 接口差分时钟负极/VI0 输入数据 5	3.3	I	C31
10	MIPI_RX0_CKP/VI0_DATA6	MIPI RX0 接口差分时钟正极/VI0 输入数据 6	3.3	I	D31
12	GND	GND	—	—	—
14	MIPI_RX1_D3P/VI1_DATA3	MIPI RX1 接口差分数据 3 正极/VI1 输入数据	3.3	I	B33

		据 3			
16	MIPI_RX1_D3N/VI1_DATA4	MIPI RX1 接口差分数据 3 负极/VI1 输入数据 4	3.3	I	C33
18	GND	GND	—	—	—
20	MIPI_RX1_CKP/VI1_DATA5	MIPI RX1 接口差分时钟正极/VI1 输入数据 5	3.3	I	D34
22	MIPI_RX1_CKN/VI1_DATA6	MIPI RX1 接口差分时钟负极/VI1 输入数据 6	3.3	I	C31
24	GND	GND	—	—	—
26	MIPI_RX1_D2P/VI1_DATA7	MIPI RX1 接口差分数据 2 正极/VI1 输入数据 7	3.3	I	B35
28	MIPI_RX1_D2N/VI1_CLK	MIPI RX1 接口差分数据 2 负极/VI1 输入时钟	3.3	I	A35
30	VI_AD_REFCLK0	VIAD 参考时钟 0	3.3	O	H32
32	MIPI_RX2_D0N/VI2_DATA1	MIPI RX2 接口差分数据 0 负极/VI2 输入数据 1	3.3	I	D35
34	MIPI_RX2_D0P/VI2_DATA2	MIPI RX2 接口差分数据 0 正极/VI2 输入数据 2	3.3	I	E35
36	GND	GND	—	—	—
38	MIPI_RX2_CKN/VI2_DATA5	MIPI RX2 接口差分时钟负极/VI2 输入数据 5	3.3	I	D37
40	MIPI_RX2_CKP/VI2_DATA6	MIPI RX2 接口差分时钟正极/VI2 输入数据 6	3.3	I	C37
42	GND	GND	—	—	—
44	MIPI_RX3_D3P/VI3_CLK	MIPI RX3 接口差分数据 3 正极/VI3 输入时钟	3.3	I	C38
46	MIPI_RX3_D3N/VI3_DATA0	MIPI RX3 接口差分数据 3 负极/VI3 输入数据 0	3.3	I	C39
48	GND	GND	—	—	—
50	MIPI_RX3_CKP/VI3_DATA3	MIPI RX3 接口差分时钟正极/VI3 输入数据 3	3.3	I	E38
52	MIPI_RX3_CKN/VI3_DATA4	MIPI RX3 接口差分时钟负极/VI3 输入数据 4	3.3	I	E37

54	GND	GND	—	—	—
56	MIPI_RX3_D2P/VI3_DATA7	MIPI RX3 接口差分数据 2 正极/VI3 输入数据 7	3.3	I	F37
58	MIPI_RX3_D2N/VI3_CLK	MIPI RX3 接口差分数据 2 负极/VI3 输入时钟	3.3	I	F36
60	VI_AD_REFCLK1	VI AD 参考时钟 1	3.3	O	G36
62	MIPI_RX4_D0N/VI4_DATA1	MIPI RX4 接口差分数据 0 负极/VI4 输入数据 1	3.3	I	K35
64	MIPI_RX4_D0P/VI4_DATA2	MIPI RX4 接口差分数据 0 正极/VI4 输入数据 2	3.3	I	K34
66	GND	GND	—	—	—
68	MIPI_RX4_CKN/VI4_DATA5	MIPI RX4 接口差分时钟负极/VI4 输入数据 5	3.3	I	H39
70	MIPI_RX4_CKP/VI4_DATA6	MIPI RX4 接口差分时钟正极/VI4 输入数据 6	3.3	I	H38
72	GND	GND	—	—	—
74	MIPI_RX5_D3P/VI5_DATA3	MIPI RX5 接口差分数据 3 正极/VI5 输入数据 3	3.3	I	K38
76	MIPI_RX5_D3N/VI5_DATA4	MIPI RX5 接口差分数据 3 负极/VI5 输入数据 4	3.3	I	K39
78	GND	GND	—	—	—
80	MIPI_RX5_CKP/VI5_DATA5	MIPI RX5 接口差分时钟正极/VI5 输入数据 5	3.3	I	K37
82	MIPI_RX5_CKN/VI5_DATA6	MIPI RX5 接口差分时钟负极/VI5 输入数据 6	3.3	I	K36
84	GND	GND	—	—	—
86	MIPI_RX5_D2P/VI5_DATA7	MIPI RX5 接口差分数据 2 正极/VI5 输入数据 7	3.3	I	L37
88	MIPI_RX5_D2N/VI5_CLK	MIPI RX5 接口差分数据 2 负极/VI5 输入时钟	3.3	I	L36
90	VI_AD_REFCLK2	VI AD 参考时钟 2	3.3	O	L32
92	MIPI_RX6_D0N/VI6_DATA1	MIPI RX6 接口差分数据 0 负极/VI6 输入数据 1	3.3	I	P34

94	MIPI_RX6_D0P/VI6_DATA2	MIPI RX6 接口差分数据 0 正极/VI6 输入数据 2	3.3	I	P33
96	GND	GND	—	—	—
98	MIPI_RX6_CKN/VI6_DATA5	MIPI RX6 接口差分时钟负极/VI6 输入数据 5	3.3	I	M36
100	MIPI_RX6_CKP/VI6_DATA6	MIPI RX6 接口差分时钟正极/VI6 输入数据 6	3.3	I	N36

表 3.5 A299 型 Hi3531DV200 核心板连接器 J3 左引脚定义

管脚号	名称	功能描述	参考电平 (V)	输入/输出	处理器对应引脚
1	SON	千兆光纤发送数据	—	AIO	—
3	SOP	千兆光纤发送数据	—	AIO	—
5	SIN	千兆光纤接收数据	—	AIO	—
7	SIP	千兆光纤接收数据	—	AIO	—
9	MDIP0	ETH 的 MDI0 正	—	AIO	—
11	MDIN0	ETH 的 MDI0 负	—	AIO	—
13	MDIP1	ETH 的 MDI1 正	—	AIO	—
15	MDIN1	ETH 的 MDI1 负	—	AIO	—
17	MDIP2	ETH 的 MDI2 正	—	AIO	—
19	MDIN2	ETH 的 MDI2 负	—	AIO	—
21	MDIP3	ETH 的 MDI3 正	—	AIO	—
23	MDIN3	ETH 的 MDI3 负	—	AIO	—
25	LED2/CFG_LDO1	CFG_LDO [1:0]: RGMII I/O Pad/的 LDO 输出电压选择 RGMII I/O Pad 的外部电源电压选择。 下拉 CFG_EXT 引脚时, CFG_LDO[1:0]表示 LDO 输出 拔出 CFG_EXT 引脚时, CFG_LDO[1:0]为输入电压	—	AIO	—
27	LED0/PHYAD0	以太网 PHY 芯片地址	—	AIO	—

29	GPIO_4	通用输入输出	3.3	B	D6
31	GPIO0_7/I2C0_SCL	通用输入输出/I2C0 总线时钟, OD 输出	3.3	B	D7
33	GPIO_1	通用输入输出	3.3	B	A7
35	GPIO_2	通用输入输出	3.3	B	C7
37	USB2_0_PWREN	USB2.0 端口 0 电源控制输出管脚, 高低电平可配, 默认为低电平有效	3.3	O	E18
39	USB3_PWREN	USB3.0 端口电源控制输出管脚, 高低电平可配, 默认为低电平有效	3.3	O	E19
41	USB3_OVRCUR	USB3.0 端口过流指示信号, 默认为高有效	3.3	I	E20
43	HDMI_TX2P	HDMI TX 通道 2 串行差分信号正极	3.3	O	A17
45	HDMI_TX2N	HDMI TX 通道 2 串行差分信号负极	3.3	O	B17
47	GND	GND	—	—	—
49	HDMI_TX1P	HDMI TX 通道 1 串行差分信号正极	3.3	O	C18
51	HDMI_TX1N	HDMI TX 通道 1 串行差分信号负极	3.3	O	D18
53	GND	GND	—	—	—
55	HDMI_TX0P	HDMI TX 通道 0 串行差分信号正极	3.3	O	A19
57	HDMI_TX0N	HDMI TX 通道 0 串行差分信号负极	3.3	O	B19
59	GND	GND	—	—	—
61	HDMI_TXCP	HDMI TX 差分像素时钟正极	3.3	O	C20
63	HDMI_TXCN	HDMI TX 差分像素时钟负极	3.3	O	D20
65	HDMI_SCL	HDMI I2C 总线时钟, OD 输出	3.3	B	F21
67	HDMI_HOTPLUG	HDMI 热插拔信号	3.3	I	D21
69	HDMI_SDA	HDMI I2C 总线数据/地址, OD 输出	3.3	B	E21
71	I2S0_BCLK	I2S0 或 PCM0 时钟	3.3	B	E26
73	I2S0_MCLK	I2S0 或 PCM0 接口主时钟, 可以作为音频 CODEC 的工作时钟	3.3	B	E27
75	I2C0_SCL	I2C0 总线时钟, OD 输出	3.3	B	D7
77	I2C0_SDA	I2C0 总线数据/地址, OD 输出	3.3	B	A5
79	I2C1_SCL	I2C1 总线时钟, OD 输出	3.3	B	G35
81	I2C1_SDA	I2C1 总线数据/地址, OD 输出	3.3	B	H35
83	GND	GND	—	—	—
85	VGA_R	VGA R 通道输出	3.3	O	A28

87	GND	GND	—	—	—
89	VGA_G	VGA G 通道输出	3.3	O	B28
91	GND	GND	—	—	—
93	VGA_B	VGA B 通道输出	3.3	O	B29
95	GND	GND	—	—	—
97	VGA_HS	VGA 行同步输出	3.3	O	F25
99	VGA_VS	VGA 场同步输出	3.3	O	E25

表 3.6 A299 型 Hi3531DV200 核心板连接器 J3 右引脚定义

管脚号	名称	功能描述	参考电平 (V)	输入/输出	处理器对应引脚
2	PWM_FREE	PWM_FREE 输出, 用于蜂鸣器控制	3.3	O	D2
4	UART0_RXD	UART0 数据接收	3.3	I	D3
6	UART0_TXD	UART0 数据发送	3.3	O	C2
8	UART2_CTSN	UART2 发送清除信号(Clear To Send)	3.3	I	B2
10	UART4_RXD	UART4 数据接收	3.3	I	C3
12	UART4_TXD	UART4 数据发送	3.3	O	B3
14	UART1_RXD	UART1 数据接收	3.3	I	A3
16	UART1_TXD	UART1 数据发送	3.3	O	D4
18	UART2_RXD	UART2 数据接收	3.3	I	C4
20	NC	---	—	—	—
22	UART2_TXD	UART2 数据发送	3.3	O	C5
24	GPIO0_6/I2C0_SDA	通用输入输出/I2C0 总线数据/地址,OD 输出	3.3	B	A5
26	GPIO_3	通用输入输出	3.3	B	B5
28	GPIO_5	通用输入输出	3.3	B	C6
30	GPIO_0	通用输入输出	3.3	B	B7
32	USB2_0_DM	USB2.0 端口 0 的数据信号 (负极), 在高速模式下, 该端口最大的电压是 800mV 或 400mV, 在全速和低速模式下, 该端口的电压是 3.3V	3.3	B	B13
34	USB2_0_DP	USB2.0 端口 0 的数据信号 (正极), 在高	3.3	B	A13

		速模式下, 该端口最大的电压是 800mV 或 400mV, 在全速和低速模式下, 该端口的电压是 3.3V			
36	USB2_0_OVRCUR	USB2.0 端口 0 过流指示信号, 默认为高有效	3.3	I	D17
38	USB3_DM	USB3.0 端口的数据信号 (负极), 在高速模式下, 该端口最大的电压是 800mV 或 400mV, 在全速和低速模式下, 该端口的电压是 3.3V	3.3	B	C14
40	USB3_DP	USB3.0 端口的数据信号 (正极), 在高速模式下, 该端口最大的电压是 800mV 或 400mV, 在全速和低速模式下, 该端口的电压是 3.3V	3.3	B	D14
42	GND	GND	—	—	—
44	USB3_RXM	USB3 端口的发送差分信号负极	3.3	I	A15
46	USB3_RXP	USB3 端口的发送差分信号正极	3.3	I	B15
48	GND	GND	—	—	—
50	USB3_TXM	USB3 端口的发送差分信号负极	3.3	O	C16
52	USB3_TXP	USB3 端口的发送差分信号正极	3.3	O	D16
54	GND	GND	—	—	—
56	HDMI2_TXCN	HDMI2 TX 差分像素时钟负极	BT1120-->HDMI		
58	HDMI2_TXCP	HDMI2 TX 差分像素时钟正极			
60	GND	GND	—	—	—
62	HDMI2_TX0N	HDMI2 TX 通道 0 串行差分信号负极	BT1120-->HDMI		
64	HDMI2_TX0P	HDMI2 TX 通道 0 串行差分信号正极			
66	GND	GND	—	—	—
68	HDMI2_TX1N	HDMI2 TX 通道 1 串行差分信号负极	BT1120-->HDMI		
70	HDMI2_TX1P	HDMI2 TX 通道 1 串行差分信号正极			
72	GND	GND	—	—	—
74	HDMI2_TX2N	HDMI2 TX 通道 2 串行差分信号负极	BT1120-->HDMI		
76	HDMI2_TX2P	HDMI2 TX 通道 2 串行差分信号正极			
78	GND	GND	—	—	—
80	HDMI2_TXSCL	HDMI2 I2C 总线时钟, OD 输出	BT1120-->HDMI		
82	HDMI2_TXSDA	HDMI2 I2C 总线数据/地址, OD 输出			

84	GND	GND	—	—	—
86	HDMI2_TXHPD	HDMI2 通道热拔插检测	BT1120-->HDMI		
88	GND	GND	—	—	—
90	I2S0_WS	I2S0 左右声道选择信号, 或 PCM0 帧同步信号	3.3	B	F27
92	I2S0_SD_RX/I2S0_SD_TX1	I2S0 或 PCM0 接口数据输入/I2S0 或 PCM0 接口数据输出 1	3.3	I/O	D27
94	I2S0_SD_TX	I2S0 或 PCM0 接口数据输出	3.3	O	F26
96	GND	GND	—	—	—
98	AVDD_BAT	RTC 电池供电电源	—	—	P27
100	CVBS	CVBS 通道输出	3.3	O	C29

4 系统硬件设计

A175 型 Hi3531DV200 开发板含有大量的接口资源，必须设计可靠的外围电路与其配合。本手册给出部分外围电路的参考设计方法，所有电路都经过了严格的功能验证。接口标注如下图 4.1 所示：

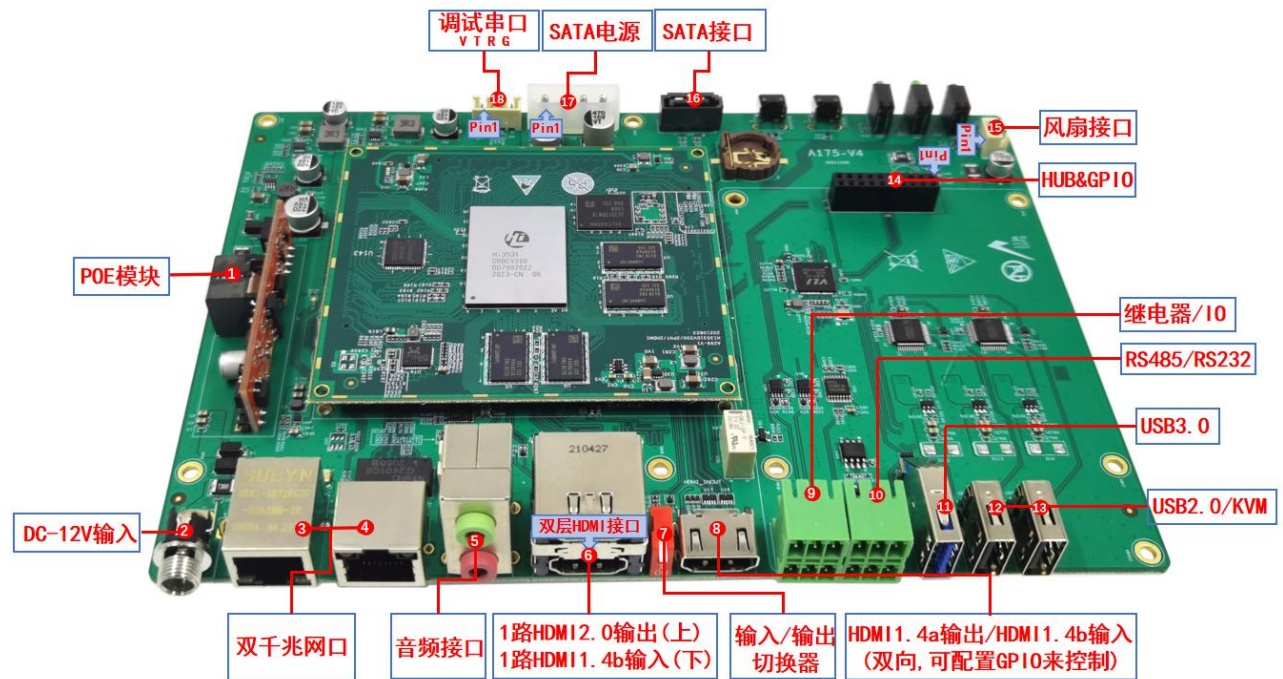
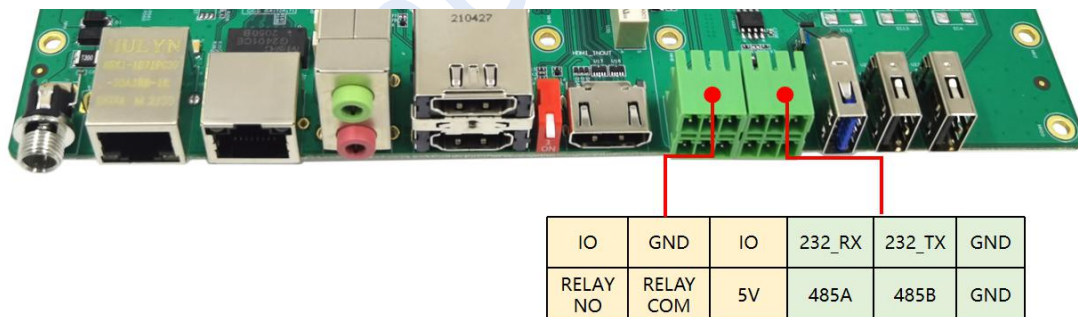


图 4.1 底板外围接口示意图



绿色端子接口示意图

A175 型 Hi3531DV200 开发板外围接口根据上图 4.1 的标号 ●，把引脚定义和功能做了如下表 4.1 的介绍：

表 4.1 开发板接口引脚定义和功能列表

标号	PIN 脚号	引脚定义	接口名称
7	PIN1	GND	输入/输出切换器
	PIN2	GPIO3_1	
9	PIN1	RELAY_NO	继电器/IO

	PIN2	IO	
	PIN3	RELAY_COM	
	PIN4	GND	
	PIN5	5V	
	PIN6	IO	
10	PIN1	485A	RS232/RS485
	PIN2	232_RX	
	PIN3	485B	
	PIN4	232_TX	
	PIN5	GND	
	PIN6	GND	
14	PIN1	5V0_H2USB3	USB HUB/IO
	PIN2	5V0_H2USB3	
	PIN3	GND	
	PIN4	GND	
	PIN5	H2USB3_DM	
	PIN6	H2USB3_DP	
	PIN7	GND	
	PIN8	GND	
	PIN9	H2USB3_RXM	
	PIN10	H2USB3_RXP	
	PIN11	GND	
	PIN12	GND	
	PIN13	H2USB3_TXM	
	PIN14	H2USB3_TXP	
	PIN15	GND	
	PIN16	GND	
	PIN17	GPIO0_6	
	PIN18	GPIO25_2	
	PIN19	GPIO25_3	
	PIN20	GPIO25_1	
15	PIN1	FAN_PWR(12V)	风扇
	PIN2	GPIO16_7	

17	PIN1	12V0	SATA 接口
	PIN2	GND	
	PIN3	GND	
	PIN4	5V0	
18	PIN1	3V3	调试串口
	PIN2	UART0_TXD	
	PIN3	UART0_RXD	
	PIN4	GND	

4.1 核心板连接器

A175 型 Hi3531DV200 开发板的核心板与外围底板连接接口由三个连接器组成，如下图所示，总共 300 个引脚，具体引脚定义可参考本手册第三章的引脚信息部分。



图 4.2 核心板连接器 J1 电路

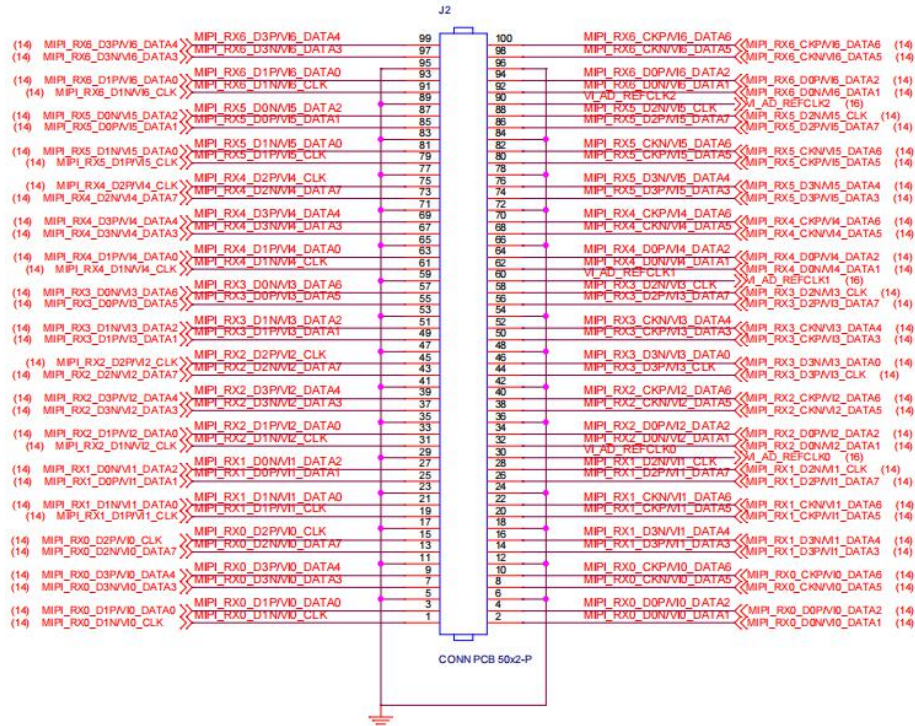


图 4.3 核心板连接器 J2 电路

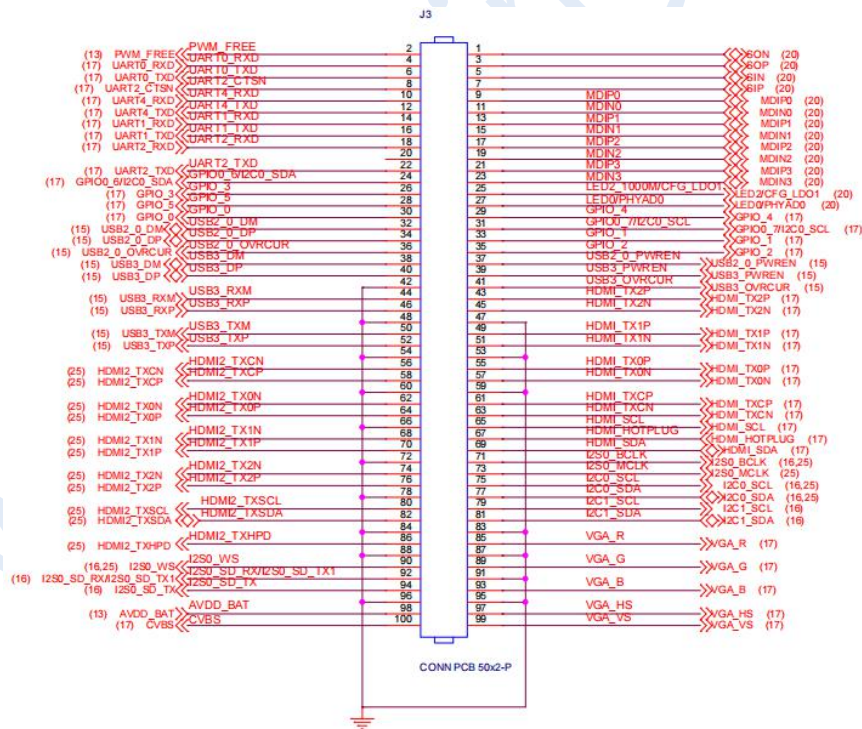


图 4.4 核心板连接器 J3 电路

4.2 电源电路

A175 型 Hi3531DV200 开发板的电源部分，采用 DC-12V 电源输入，为各路电路提供 3.3V、1.2V、5V 电压，该部分参考电路如下图 4.5 所示：

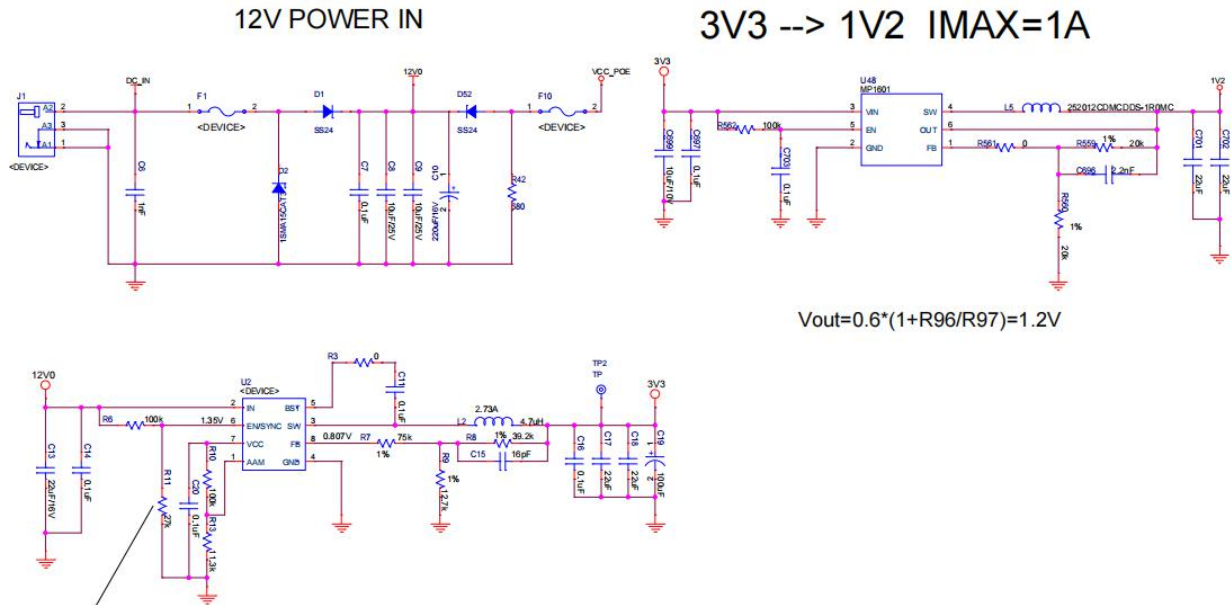


图 4.5 电源电路

4.3 网口电路

A175 型 Hi3531DV200 开发板有两个千兆网口，相应的接口 J5、J6 部分参考电路如下图 4.6~4.7 所示：

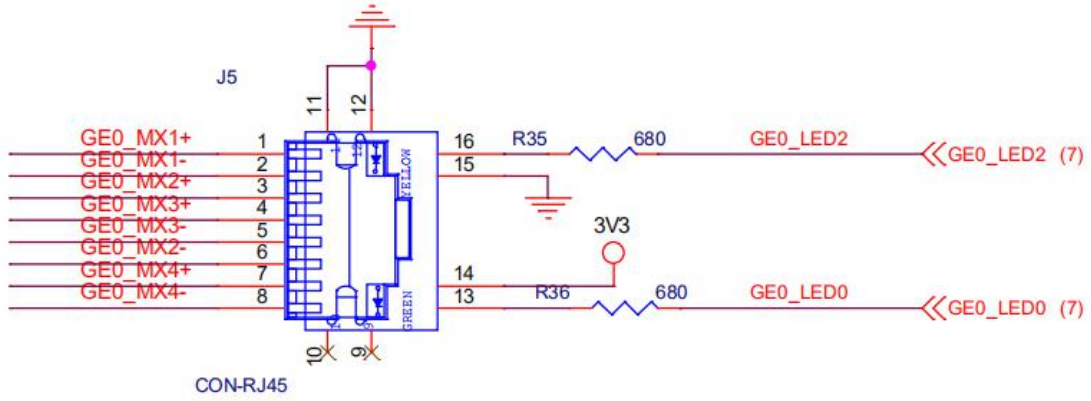


图 4.6 网口电路一

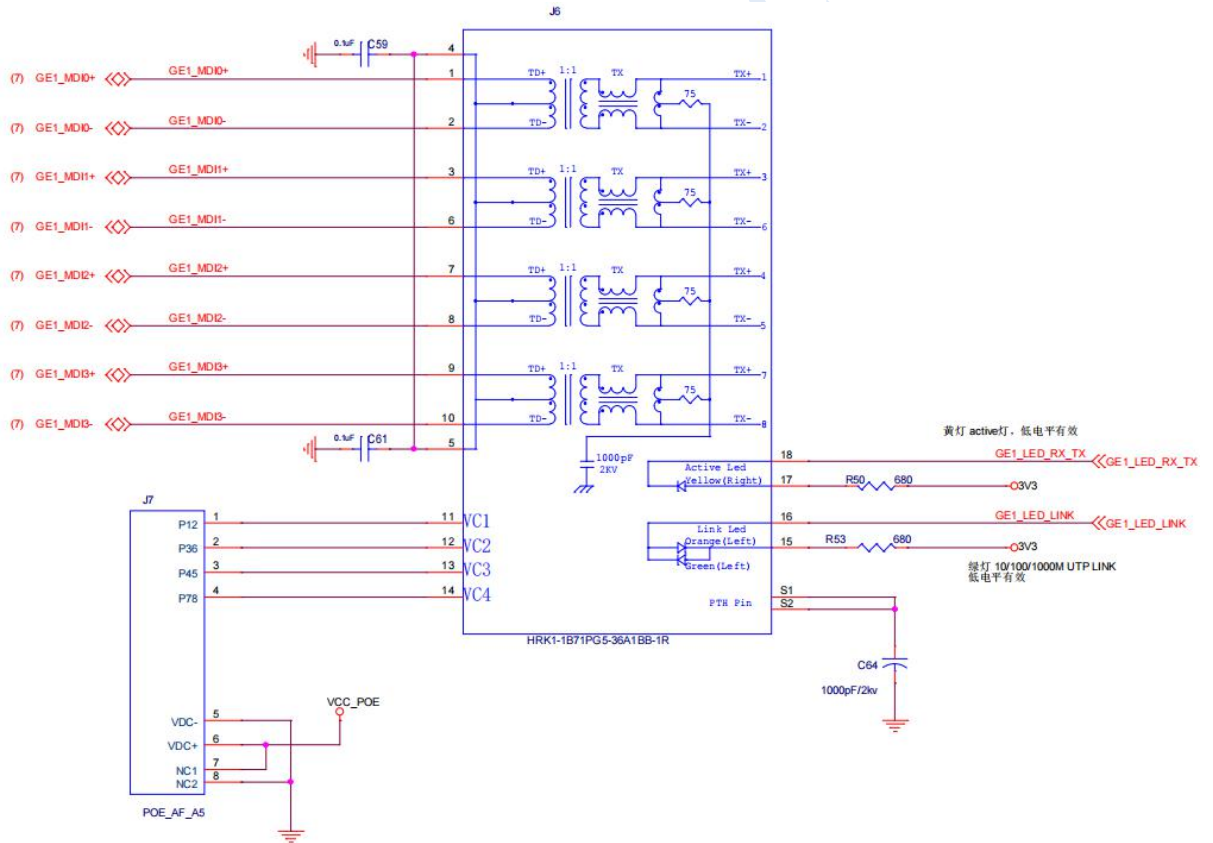


图 4.7 网口电路二

4.4 SATA 接口电路

A175 型 Hi3531DV200 开发板有 1 个 SATA 3.0 接口，接口 J13 部分参考电路如下图 4.8 所示：

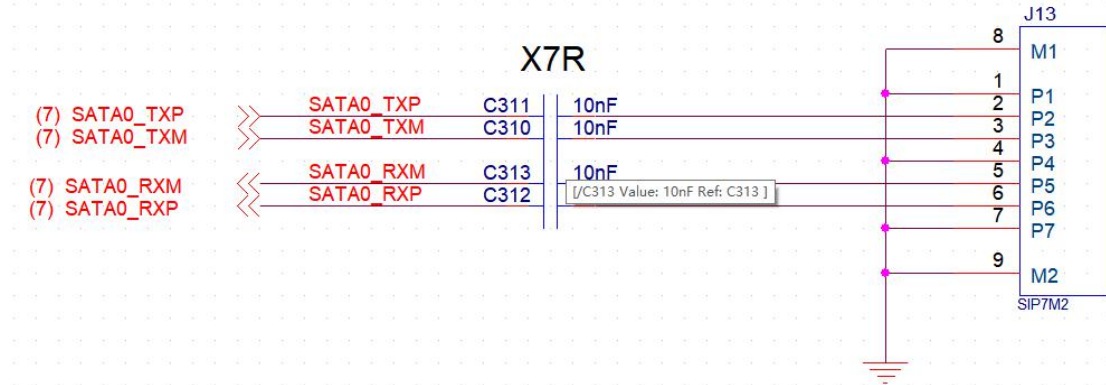


图 4.8 SATA 接口电路

4.5 HDMI 接口电路

A175 型 Hi3531DV200 开发板配有 1 路 HDMI2.0 输出，2 路 HDMI1.4b 输入，1 路 HDMI1.4a 输出，对应 HDMI 接口为 J39、CN3 电路部分如下图 4.9~4.10 所示：

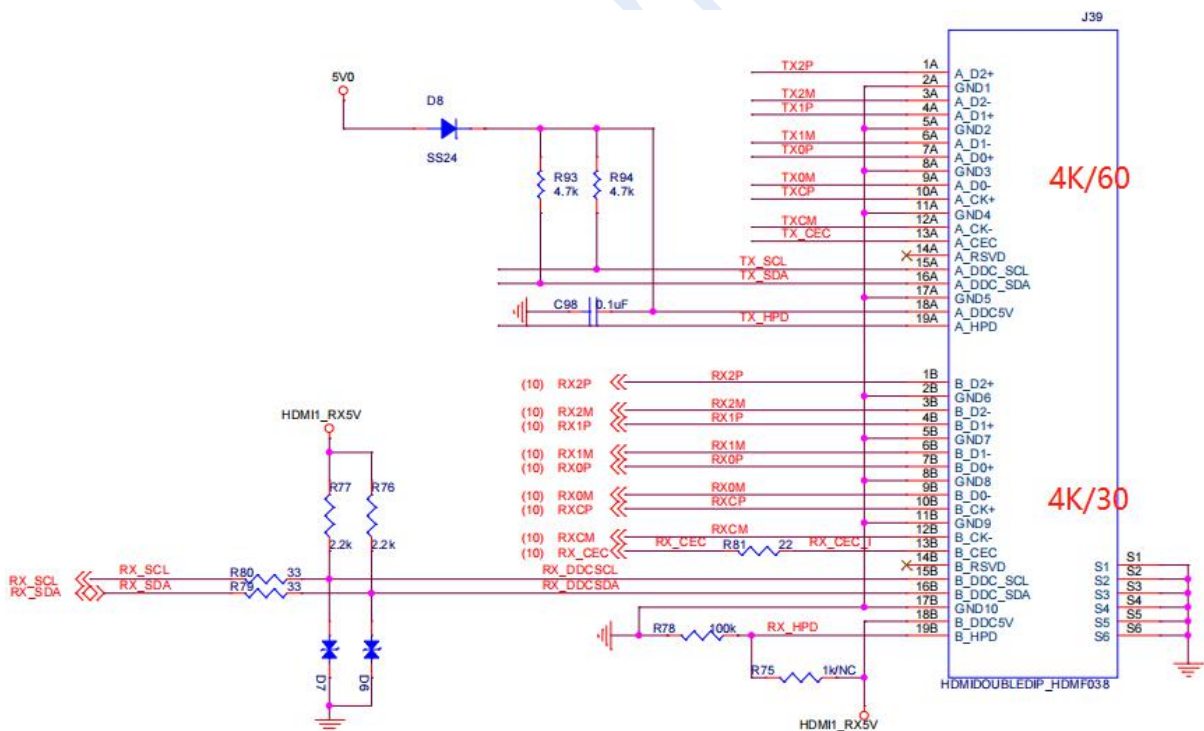


图 4.9 HDMI2.0 输出和 HDMI1.4b 输入

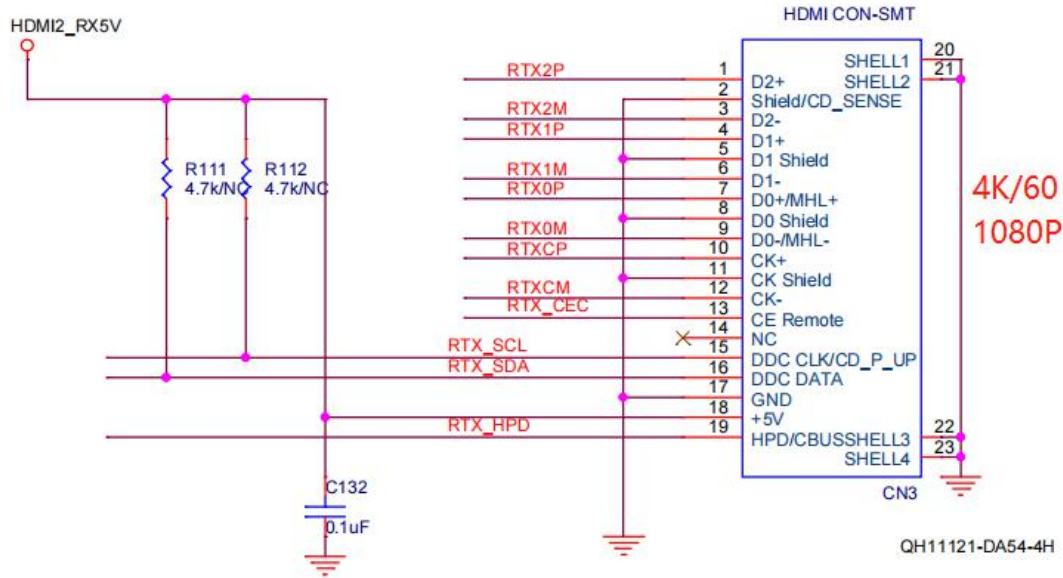


图 4.10 HDMI1.4a 输出和 HDMI1.4b 输入

4.6 音频接口电路

A175 型 Hi3531DV200 开发板音频部分采用的是低功耗立体声音频编解码器 TLV320AIC3101RHB，音频接口 J40 电路部分如下图 4.11 所示：

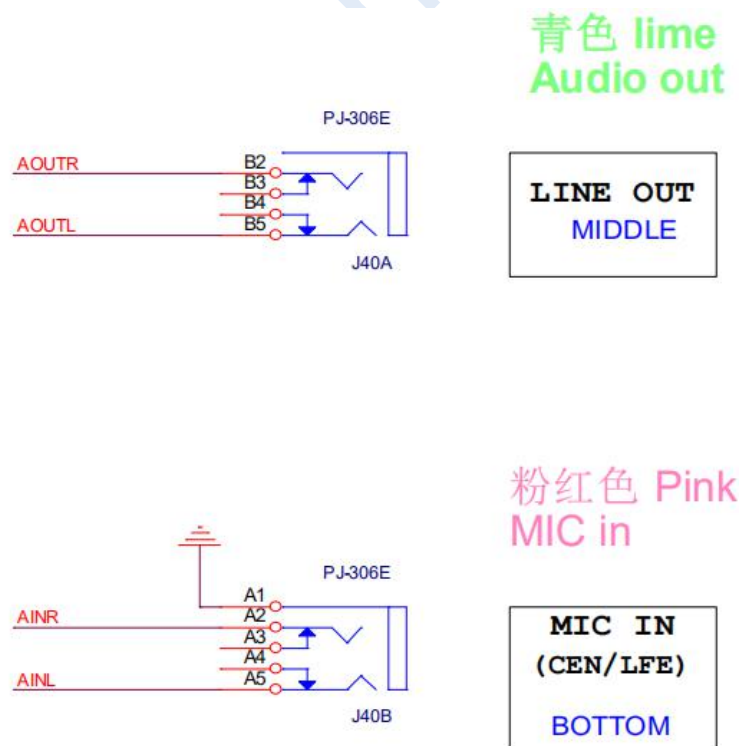


图 4.11 音频接口电路

4.7 USB 接口电路

A175 型 Hi3531DV200 开发板配有 2 路 USB2.0 接口和 1 路 USB3.0 接口，对应接口 J8、J9、J10 电路部分如下图 4.12 所示：

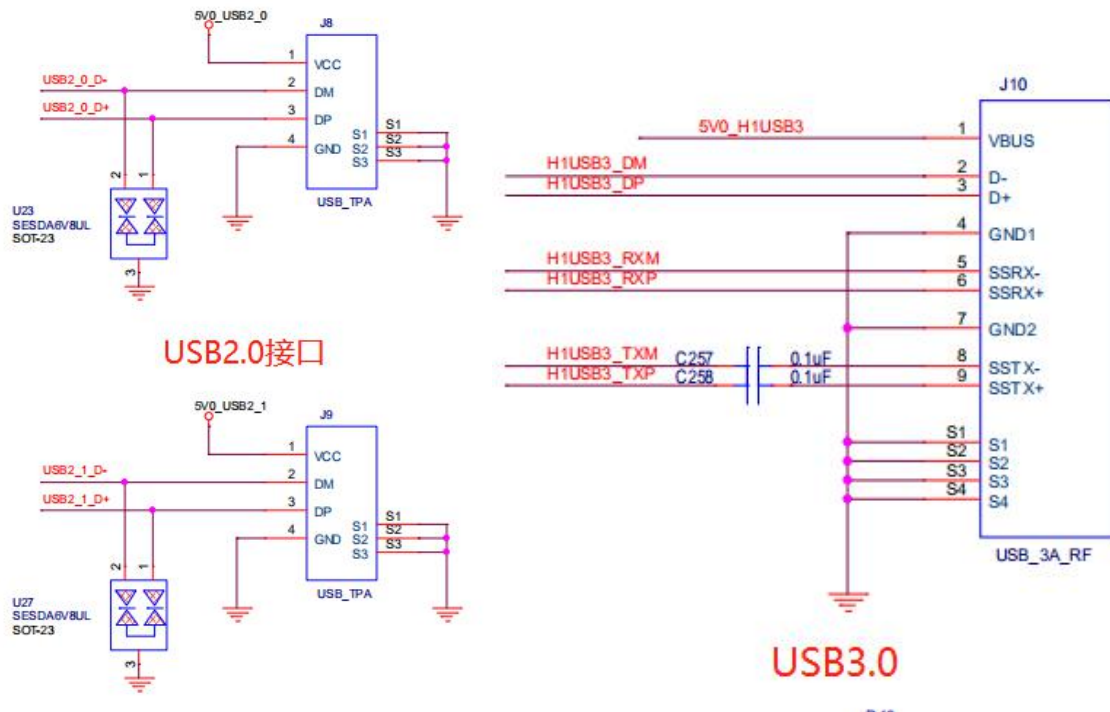


图 4.12 USB 接口电路

* 其他部分的电路不再一一列举，如需更多技术资料可寻求技术支持。

5 机械尺寸

5.1 实物图

A175 型 Hi3531DV200 开发板实物如下图 5.1~图 5.4 所示：



图 5.1 核心板正面图

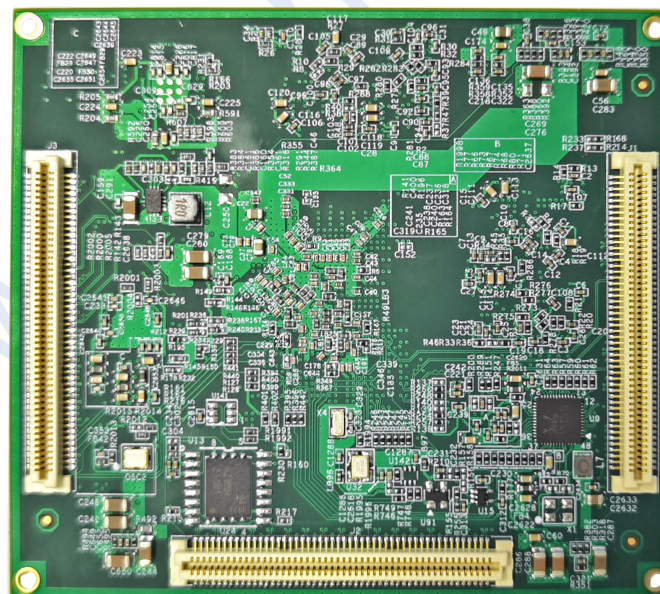


图 5.2 核心板背面图

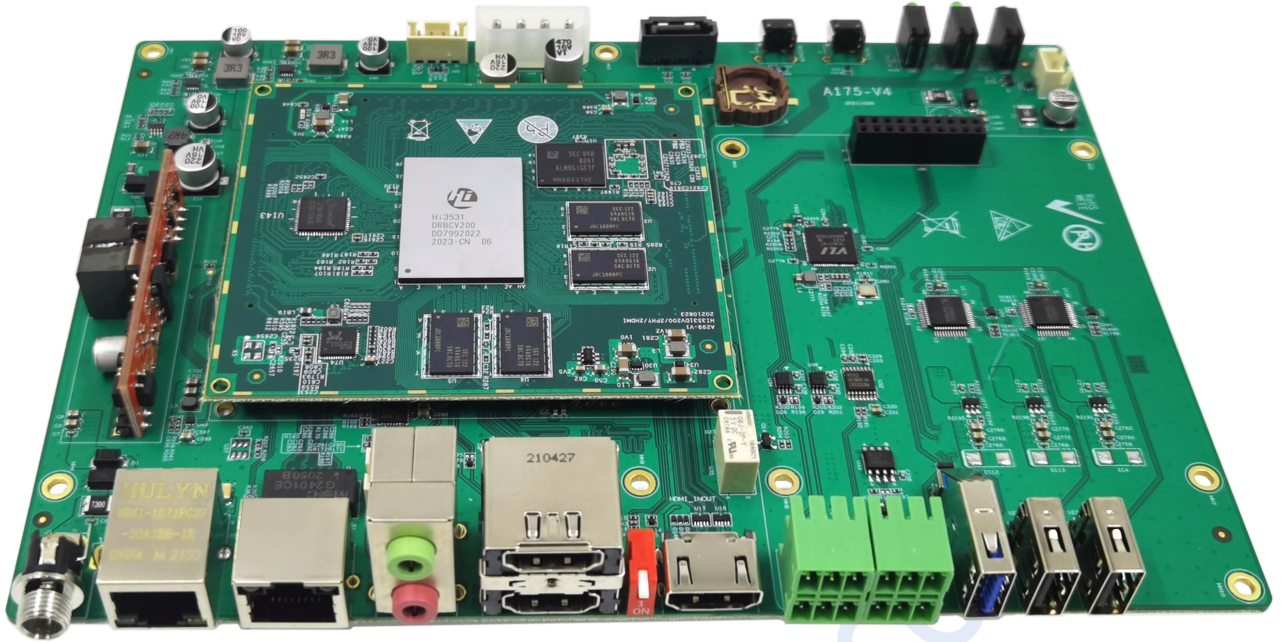


图 5.3 Hi3531DV200 套板正面图

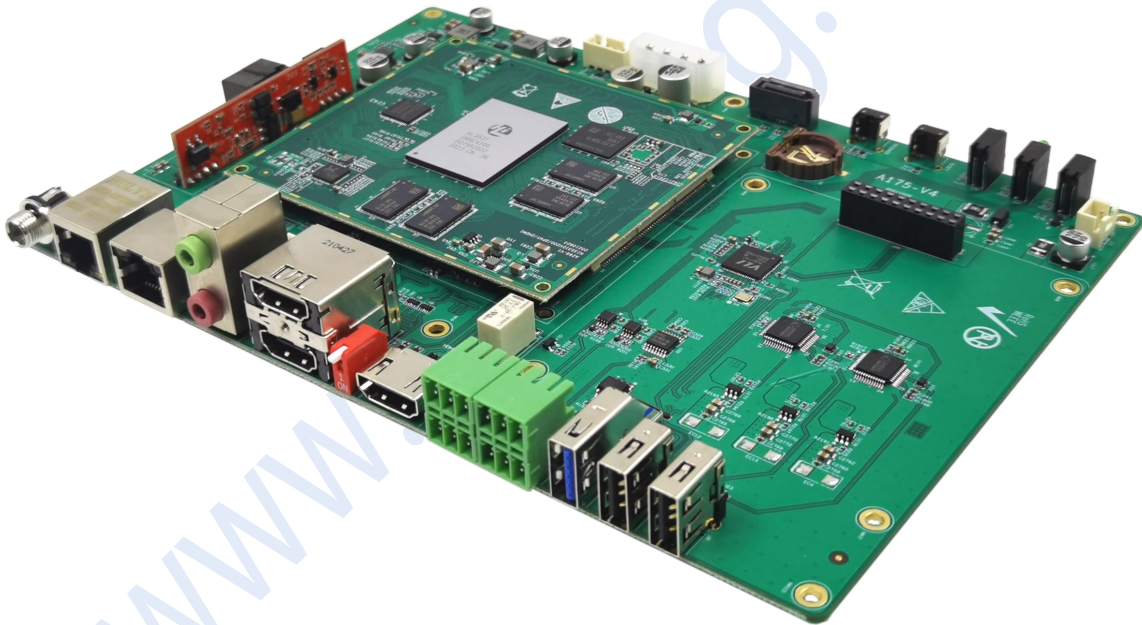


图 5.4 Hi3531DV200 套板侧面图

5.2 机械尺寸

A175 型 Hi3531DV200 开发板的核心板和底板的机械尺寸如图 5.5~5.6 所示（单位：mm）。图中 4 个定位孔的内孔直径约为 3 mm。



图 5.5 核心板尺寸图

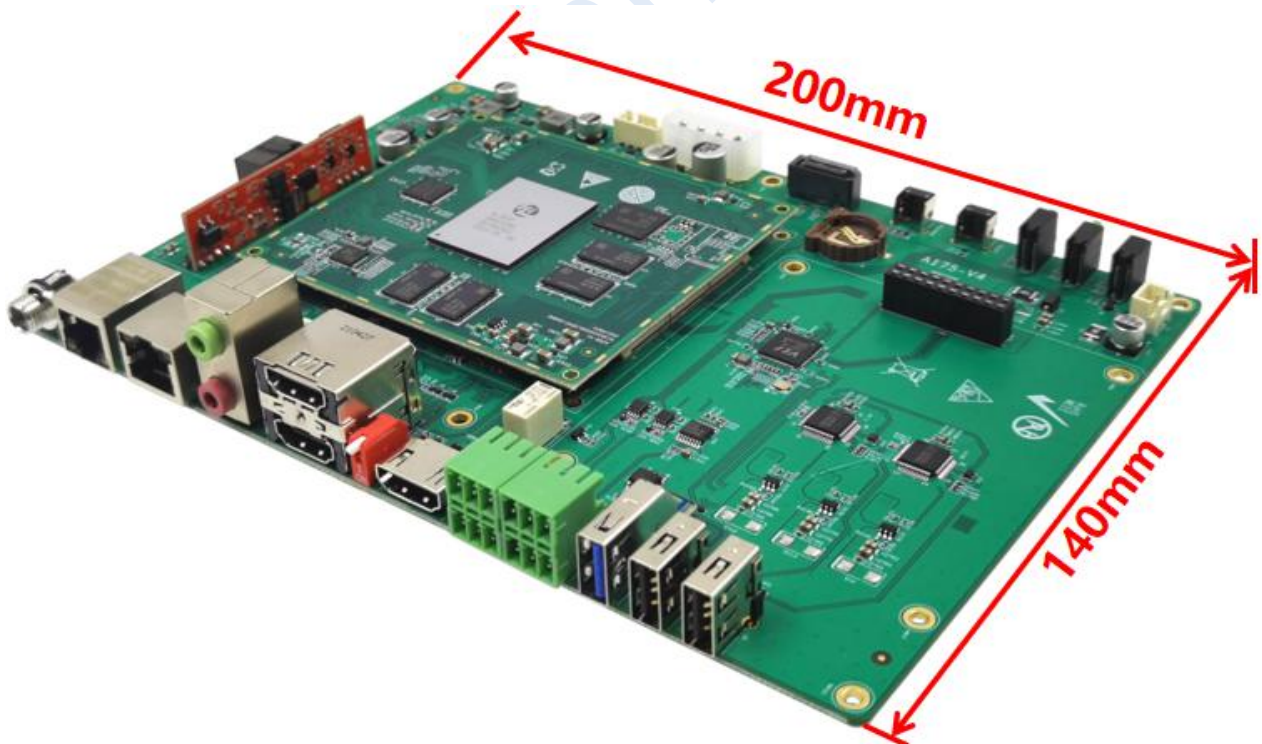


图 5.6 底板尺寸图

* 如需更详细的机械尺寸图，请联系我们的销售或技术支持

6 开发板使用指南

A175 型 Hi3531DV200 开发板的音视频接口如下图 6.1 所示，板卡具体开发使用指南见下面步骤：

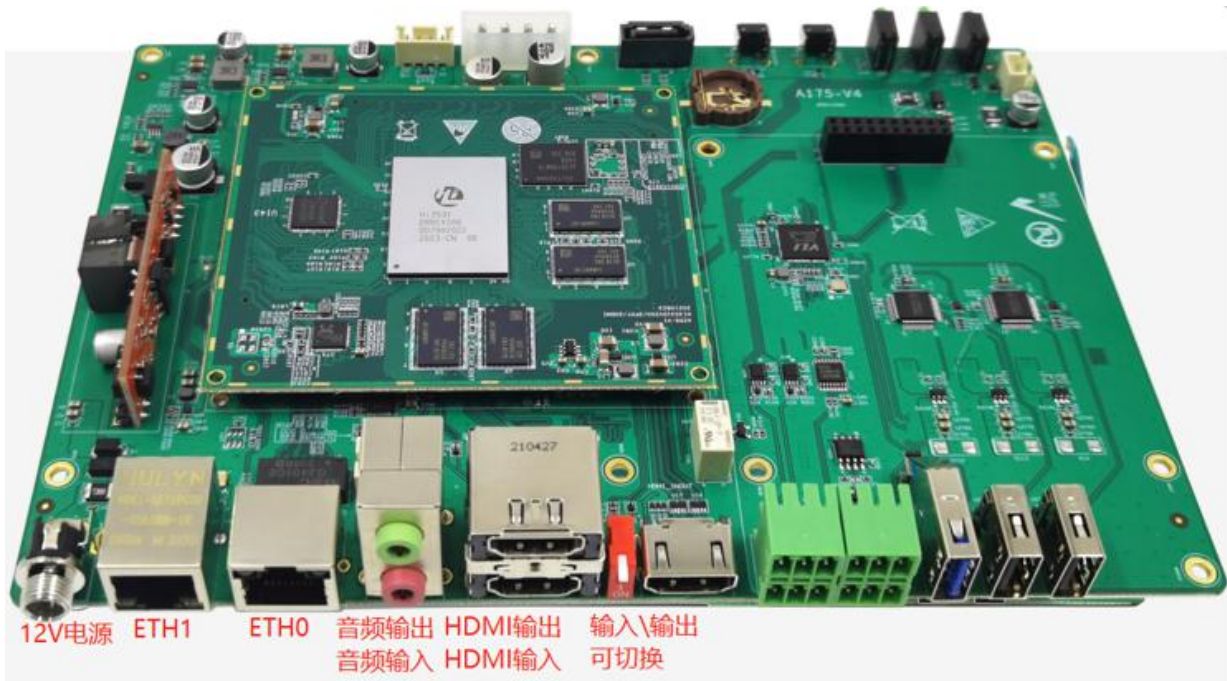


图 6.1 Hi3531DV200 音视频接口图

- (1) 上电后，默认起来的 ETH1，ETH0 需要进去手动 up；
- (2) 3.5mm 的音频座子测试，在/app 目录下执行./sample_audio 0；
- (3) 上下 HDMI 座子，默认是硬环出，下面输入，上面输出；
- (4) 从下面输入从上面原生 HDMI 输入。先执行./mipi0_1.sh，不使用硬环出，使用海思处理，执行./sample_vio_2 0；
注：此示例程序的分辨率设置为 1080P，如果输入源为 4K，会出现屏幕的 1/4；
- (5) 上下 HDMI 座子下面的 HDMI 口进，拨码开关右边 HDMI 接口出，先执行./mipi2_3.sh；
- (6) 再执行./sample_vio_2 0，然后选择 1 回车；
注：此示例程序的分辨率设置为 1080P，如果输入源为 4K，会出现屏幕的 1/4；
- (7) 单独的 HDMI 口作为输出，先执行./bt1120_tx.sh，切换为输出，可执行示例代码 ./sample_vdec_1080p 0 1 与./sample_vdec_4k 0 1。两个示例程序的分辨率不同；
- (8) J23 的凤凰座子是继电器和 IO 口，通过 GPIO 控制；
- (9) J21 的凤凰座子是 RS232 与 RS485；
- (10) USB3.0 口直接通过插入 U 盘即可测试，fdisk -l 查看 U 盘大小；
- (11) USB2.0 口既可以做 USB 也可以做 KVM，通过 GPIO 控制。

7 免责声明

本文档提供有关南京艾伯瑞电子科技有限公司产品的信息。本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。本文档所陈述的产品文本及相关软件版权均属南京艾伯瑞电子科技有限公司所有，其产权受国家法律绝对保护，未经本公司授权，其它公司、单位、代理商及个人不得非法使用和拷贝，否则将受到国家法律的严厉制裁。南京艾伯瑞电子科技有限公司保留在任何时候修订本用户手册且不需通知的权利。

A175 型 Hi3531DV200 开发板可能包含某些设计缺陷或错误，一经发现将收入勘误表，并因此可能导致产品与已出版的规格有所差异。如客户索取，可提供最新的勘误表。在订购产品之前，请您与南京艾伯瑞电子科技有限公司联系，以获取最新的规格说明。

南京艾伯瑞电子科技有限公司保留所有权利。